

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09204773 A**

(43) Date of publication of application: **05 . 08 . 97**

(51) Int. Cl.

G11C 11/406
G11C 11/413
H03K 3/354
H03K 19/0948
H03K 19/20

(21) Application number: **08121606**

(22) Date of filing: **16 . 05 . 96**

(30) Priority: **12 . 06 . 95 JP 07143772**
24 . 11 . 95 JP 07305675

(71) Applicant: **MITSUBISHI ELECTRIC CORP**

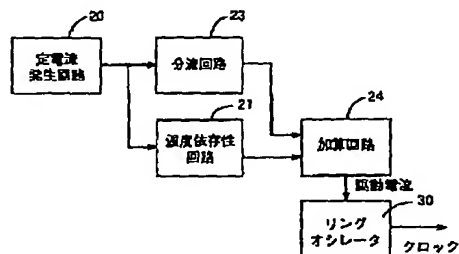
(72) Inventor: **OISHI TSUKASA**

**(54) TEMP. DEPENDENT CIRCUIT AND CURRENT
GENERATION CIRCUIT, INVERTER AND
OSCILLATION CIRCUIT USING IT**

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a current generation circuit with temp. dependency, an inverter using it and an oscillation circuit raising oscillation frequency when temp. rises.

SOLUTION: A constant current generation circuit 20 generates a constant current, and a shunt circuit 23 shunts it and a temp. dependent circuit 21 generates a temp. dependent current, and an adding circuit adds both currents to supply a drive current to a ring oscillator 30. The ring oscillator is constituted so as to connect one side gate input of odd number stages of inverters to the output of the prestage inverter, and connect the other side gate input to the output of the inverter two stages before from that.



COPYRIGHT: (C)1997,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-204773

(43) 公開日 平成9年(1997)8月5日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
G 1 1 C 11/406			G 1 1 C 11/34	3 6 3 L
11/413			H 0 3 K 3/354	B
H 0 3 K 3/354		9199-5K	19/20	
19/0948			G 1 1 C 11/34	3 4 1 B
19/20			H 0 3 K 19/094	B
審査請求 未請求 請求項の数26 O L (全 30 頁)				

(21) 出願番号 特願平8-121606

(22) 出願日 平成8年(1996)5月16日

(31) 優先権主張番号 特願平7-143772

(32) 優先日 平7(1995)6月12日

(33) 優先権主張国 日本 (J P)

(31) 優先権主張番号 特願平7-305675

(32) 優先日 平7(1995)11月24日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 大石 司

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

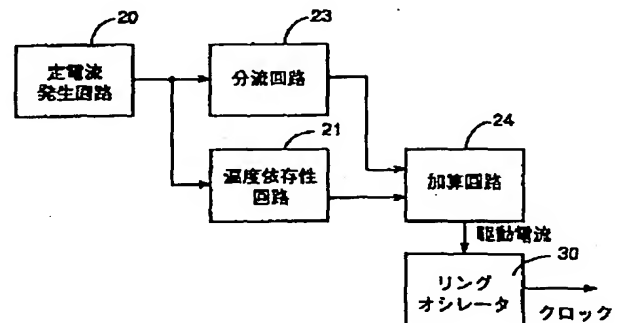
(74) 代理人 弁理士 深見 久郎 (外3名)

(54) 【発明の名称】 温度依存性回路およびそれを用いた電流発生回路とインバータと発振回路

(57) 【要約】

【課題】 温度依存性のある電流発生回路とそれを用いたインバータおよび温度が上昇すると発振周波数が上昇する発振回路を提供する。

【解決手段】 定電流発生回路20から定電流を発生し、分流回路23で分流するとともに、温度依存性回路21で温度依存性のある電流を発生し、両者を加算回路24で加算し、リングオシレータ30に駆動電流を供給する。リングオシレータは奇数段のインバータの一方のゲート入力を前段のインバータの出力に接続し、他方のゲート入力をそれよりも2段前のインバータの出力に接続するように構成される。



【特許請求の範囲】

【請求項1】 温度依存性を有する電流発生回路であって、

定電流をそのまま用いるか、もしくは $1/n$ ($n>1$) に分流して電流を取出す分流手段、

前記定電流から温度依存性のある電流を生成する温度依存性電流生成手段、および前記分流手段からの電流と前記温度依存性電流生成手段からの温度依存性のある電流とを加算する加算手段を備えた、温度依存性を有する電流発生回路。

【請求項2】 前記温度依存性電流生成手段は、

それぞれが前記定電流を流すためのトランジスタを含む基準電流発生回路と、

トランジスタを含み、それぞれの入力電極が共通接続され、かつ一方のトランジスタの第1の電極と入力電極とに前記基準電流発生回路の一方のトランジスタから基準電流が供給され、他方のトランジスタの第1の電極に前記基準電流発生回路の他方のトランジスタから基準電流が供給されるカレントミラー回路と、

前記カレントミラー回路のトランジスタのそれぞれの第2の電極と第1の電源電位ラインとの間に接続される温度特性の異なる2個の抵抗性素子とを含む、請求項1に記載の温度依存性を有する電流発生回路。

【請求項3】 前記温度依存性電流生成手段は、前記カレントミラー回路から出力される温度依存性のある電流を受けて増幅する複数の並列接続されたトランジスタを含む、請求項2に記載の温度依存性を有する電流発生回路。

【請求項4】 前記分流手段は、

前記定電流を受けて基準電流を出力するトランジスタと、

前記トランジスタからの基準電流を分流するために並列接続された複数のトランジスタとを含む、請求項1に記載の温度依存性を有する電流発生回路。

【請求項5】 さらに、前記定電流を発生して前記分流手段と前記温度依存性電流生成手段に与える定電流発生手段とを含む、請求項1~4のいずれかに記載の温度依存性を有する電流発生回路。

【請求項6】 2つのゲート入力を有し、一方のゲート入力には第1のクロック信号が与えられ、他方のゲート入力には第2のクロック信号が与えられるインバータ手段、

前記インバータ手段の第1の電源側端子と第1の電源ラインとの間に接続され、その入力電極に与えられるゲート電位により電流を供給する第1の導電形式の第1のトランジスタ、および前記インバータ手段の第2の電源側端子と第2の電源ラインとの間に接続され、その入力電極に与えられるゲート電位により電流を供給する第2の導電形式の第2のトランジスタを備えた、インバータ。

【請求項7】 前記インバータ手段は、

それぞれが直列接続され、それぞれの入力電極が前記一方のゲート入力となる第1の導電形式の第3のトランジスタおよび第2の導電形式の第4のトランジスタ、

前記第3のトランジスタと前記第1のトランジスタとの間に接続される第1の導電形式の第5のトランジスタ、および前記第4のトランジスタと前記第2のトランジスタとの間に接続され、その入力電極が前記第5のトランジスタの入力電極とともに前記他方のゲート入力となる第2の導電形式の第6のトランジスタを含む、請求項6に記載のインバータ。

【請求項8】 さらに、極性の異なる微小電流信号を発生する微小電流信号発生手段、

前記第5のトランジスタに対して並列接続され、その入力電極に前記微小電流信号発生手段からの一方の極性の微小電流信号が与えられる第1の導電形式の第7のトランジスタ、および前記第6のトランジスタに対して並列接続され、その入力電極に前記微小電流信号発生手段からの他方の極性の微小電流信号が与えられ、前記第7のトランジスタとともに前記インバータ手段の出力がフロートイング状態になるのを防止するための第2の導電形式の第8のトランジスタを含む、請求項7に記載のインバータ。

【請求項9】 前記第5のトランジスタおよび前記第6のトランジスタはデプレッション型または低しきい値のトランジスタである、請求項7に記載のインバータ。

【請求項10】 発振回路であって、

2つのゲート入力を有し、一方のゲート入力には第1のクロック信号が与えられ、他方のゲート入力には第2のクロック信号が与えられる複数のインバータ手段、
前記各インバータ手段の第1の電源側端子と第1の電源ラインとの間に接続され、その入力電極に与えられるゲート電位により電流を供給する第1の導電形式の複数の第1のトランジスタ、および前記各インバータ手段の第2の電源側端子と第2の電源ラインとの間に接続され、その入力電極に与えられるゲート電位により電流を供給するための第2の導電形式の第2のトランジスタを備えた、発振回路。

【請求項11】 前記インバータ手段は、

それぞれが直列接続され、それぞれの入力電極が前記一方のゲート入力となる第1の導電形式の第3のトランジスタおよび第2の導電形式の第4のトランジスタ、前記第3のトランジスタと前記第1のトランジスタとの間に接続される第1の導電形式の第5のトランジスタ、および前記第4のトランジスタと前記第2のトランジスタとの間に接続され、その入力電極が前記第5のトランジスタの入力電極とともに前記他方のゲート入力となる第2の導電形式の第6のトランジスタを含む、請求項10に記載の発振回路。

【請求項12】 さらに、前記微小電流をさらに分流して極性の異なる微小電流信号を発生する微小電流信号発

生手段、

前記第5のトランジスタに対して並列接続され、その入力電極に前記微小電流信号発生手段からの一方の極性の微小電流信号が与えられる第1の導電形式の第7のトランジスタ、および前記第6のトランジスタに対して並列接続され、その入力電極に前記微小電流信号発生手段からの他方の極性の微小電流信号が与えられ、前記第7のトランジスタとともに前記インバータ手段の出力がフローティング状態になるのを防止するための第2の導電形式の第8のトランジスタを含む、請求項11に記載の発振回路。

【請求項13】 それぞれの入力電極が共通接続され、かつ一方のトランジスタの第1の電極と入力電極とに電流が供給され、他方のトランジスタの第1の電極に電流が供給されるカレントミラー回路と、

前記カレントミラー回路のトランジスタのそれぞれの第2の電極と第1の電源電位ラインとの間に接続される温度特性の異なる抵抗性素子を含む、温度依存性回路。

【請求項14】 前記抵抗性素子は、それぞれの導通時の抵抗値の温度特性が異なるトランジスタである、請求項13に記載の温度依存性回路。

【請求項15】 さらに、基準電位を発生する基準電位発生手段、

前記カレントミラー回路の出力に応じて内部電位を発生する内部電位発生手段、および前記カレントミラー回路の前記一方のトランジスタに直列接続され、その入力電極に前記基準電位発生手段から基準電位が与えられる第9のトランジスタと、前記他方のトランジスタに直列接続され、その入力電極に前記内部電位発生手段からの内部電位が与えられる第10のトランジスタを含み、前記カレントミラー回路とともに電流比較手段を構成するゲート手段を含む、請求項13に記載の温度依存性回路。

【請求項16】 前記内部電位発生手段は、電源電圧よりも高い電位または接地電位よりも低い電位を発生する、請求項15に記載の温度依存性回路。

【請求項17】 さらに、前記内部電位発生手段から発生された電位を分圧して、前記第10のトランジスタの入力電極に与える分圧手段を含む、請求項16に記載の温度依存性回路。

【請求項18】 さらに、前記カレントミラー回路の出力を増幅して内部電位発生手段に活性化信号を与える増幅手段を含む、請求項17に記載の温度依存性回路。

【請求項19】 定電流を供給する電流源、その第1の電極に前記電流源からの定電流を受ける第1のトランジスタと、その入力電極が前記第1のトランジスタの入力電極に接続され、その第1の電極から電流が取出される第2のトランジスタとを含むカレントミラー回路、および前記第2のトランジスタの第2の電極と基準電位との間に接続される抵抗性素子を備えた、電流発生回路。

【請求項20】 前記第1のトランジスタの第2の電極と基準電位との間に接続される第2の抵抗性素子を含む、請求項19に記載の電流発生回路。

【請求項21】 前記第1のトランジスタと前記第2のトランジスタはそれぞれの電流駆動能力が異なることを特徴とする、請求項19または20に記載の電流発生回路。

【請求項22】 前記第1のトランジスタの第2の電極と基準電位との間に接続される第3のトランジスタと、前記抵抗性素子と基準電位との間に接続される第4のトランジスタとを含み、

前記第3のトランジスタと前記第4のトランジスタのそれぞれの基板電位として異なる電位が与えられることを特徴とする、請求項19ないし21のいずれかに記載の電流発生回路。

【請求項23】 定電流を供給する電流源、ダイオード接続され、前記電流源からの定電流を受ける第1のトランジスタ、前記第1のトランジスタの入力電極と基準電位との間に接続される抵抗性素子、およびその入力電極が前記第1のトランジスタの入力電極に接続され、前記抵抗性素子に流れる電流に応じた電流を取出すための第2のトランジスタを備えた、電流発生回路。

【請求項24】 定電流を供給する電流源と、前記定電流を受ける第1のトランジスタおよび電流を出力する第2のトランジスタと、前記第2のトランジスタと基準電位との間に接続される抵抗性素子とを含む電流発生回路が複数縦続接続されていることを特徴とする、電流発生回路。

【請求項25】 前記複数の電流発生回路間を接続するカレントミラー回路を含む、請求項24に記載の電流発生回路。

【請求項26】 第1の導電形式のトランジスタで構成された第1のカレントミラー回路、第2の導電形式のトランジスタで構成され、前記第1のカレントミラー回路に直列接続される第2のカレントミラー回路、および前記直列接続された第1および第2のカレントミラー回路に対して並列接続される複数のダイオード接続された第1の導電形式のトランジスタを備えた、電流発生回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は温度依存性回路およびこれを用いた電流発生回路とインバータと発振回路に関し、たとえばセルフリフレッシュ機能を有するDRAMに用いられるような温度依存性回路、電流発生回路、インバータおよび発振回路に関する。

【0002】

【従来の技術】 DRAMはメモリスルットランジスタとメモリスル容量とを用いたメモリスルをアレイ状に配列したものであり、メモリスルは揮発性素子であるため、一

定期間以内にメモリセルに保持されているデータをリフレッシュする必要がある。ところが、近年ではある特殊なモードに設定されると、DRAM自身が自動的にリフレッシュを行なうことができる機能を付加したものがある。

【0003】この機能により、ユーザはリフレッシュの規則に捕らわれることなくDRAMを使用することができるようになってきた。同時に、この機能はDRAMの性能を極限まで引出し、その消費電力を低減させることを可能としている。これは、つまりDRAM自身がリフレッシュを行なうタイミングを規則以上にその間隔を引延ばすことでリフレッシュの回数を少なくし、DRAMが動作する回数を減少させることができる。

【0004】図56はそのようなリフレッシュ機能を有するDRAMの概略ブロック図である。図56において、ロウアドレスストロブ信号/RASとカラムアドレスストロブ信号/CASと書き込みエナブル/WEは信号入力部1に与えられ、信号入力部1から内部RAS信号がマルチプレクサ4の一方入力端子に与えられる。セルフリフレッシュ検出回路2はセルフリフレッシュモードになったことを検出する。具体的には、通常のアクセスではあり得ない/CAS before /RAS (CBR) と呼ばれる、カラムアドレスストロブ信号/CASがロウアドレスストロブ信号/RASよりも先に立下がった後、約 $10\mu\text{sec}$ 経過したタイミングをリフレッシュモードとして検出する。この検出信号はタイマ3に与えられるとともに、マルチプレクサ4、7に切換信号として与えられる。タイマ3はセルフリフレッシュ検出信号に応じて発振を開始する。このタイマ3の出力はマルチプレクサ4の他方入力端子に与えられるとともに、アドレスカウンタ5に与えられる。アドレスカウンタ5はタイマ出力を計数し、内部アドレス信号をマルチプレクサ7の一方入力端子に出力する。

【0005】マルチプレクサ7の他方入力端子には、アドレスバッファ6から外部アドレス信号が入力される。マルチプレクサ7は内部アドレス信号と外部アドレス信号とを切換えて、Xアドレス信号をロウデコーダ9に与え、Yアドレス信号をカラムデコーダ10に与える。ロウデコーダ9はXアドレス信号をデコードしてメモリセルアレイ8のXアドレスを指定し、カラムデコーダ10はYアドレス信号をデコードしてメモリセル8のYアドレスを指定する。指定されたメモリセルアレイのアドレスに入出力部12に入力されている外部からのデータが書き込まれるか、あるいはメモリセルアレイ8の指定されたアドレスのメモリセルからデータが読出され、センスアンプ11で増幅されて入出力部12に出力される。

【0006】図57は図56におけるDRAMのセルフリフレッシュ動作を説明するためのタイムチャートである。図56に示したDRAMにおいて、通常の読出、書き込み動作時において、マルチプレクサ4は信号入力部1の

出力を選択し、マルチプレクサ7はアドレスバッファ6の出力の外部アドレス信号を選択している。そして、外部アドレス信号によってメモリセルアレイ8のアドレスが指定される。

【0007】一方、セルフリフレッシュモードでは、図57(a)に示すように、ロウアドレスストロブ信号/RASが立下がる前に、図57(b)に示すようにカラムアドレスストロブ信号/CASが立下がり、かつロウアドレスストロブ信号/RASが立下がってから約 $10\mu\text{sec}$ 経過したことをセルフリフレッシュ検出回路2が検出する。タイマ3はその検出出力に応じて図57(c)に示すように発振を開始する。このとき、マルチプレクサ4はセルフリフレッシュ検出回路2の検出出力に応じてタイマ3の出力側に切換えられており、タイマ3の出力を内部RASとして図示しない書込、読出回路に与える。アドレスカウンタ5はタイマ3の発振出力を計数し、内部アドレス信号を出力する。マルチプレクサ7はセルフリフレッシュ回路2の検出出力に応じてアドレスカウンタ5の出力の内部アドレス信号をロウデコーダ9とカラムデコーダ10に与える。ロウデコーダ9はXアドレス信号に応じて1組のワード線を選択し、それに接続されている複数のメモリセルがセンスアンプ11によって自動的にリフレッシュされる。

【0008】図58は図56に示したタイマ回路の具体的な回路図である。図58において、タイマ回路3はリングオシレータから構成されている。すなわち、奇数段のインバータ301、302...30nがループ状に接続され、発振段を構成している。各インバータ301、302...30nの電源端子と電源ラインとの間および接地端子と接地ラインの間には、pチャネルトランジスタ311、312...31n、nチャネルトランジスタ321、322...32nが接続されている。これらのトランジスタは各インバータ301、302...30nに流れる電流を制限するための電流制限用として挿入されている。これらのトランジスタ311、312...31nおよび321、322...32nによってインバータ301、302...30nの電源電位側および接地電位側からの電流量を等しくするために、nチャネルトランジスタ34が設けられている。このnチャネルトランジスタ34のゲートは、固定電位である電源ラインに接続され、ソースは接地され、ドレインはダイオード接続されたpチャネルトランジスタ33に接続されている。nチャネルトランジスタ34のゲートはnチャネルトランジスタ321、322...32nのゲートに接続され、pチャネルトランジスタ33はnチャネルトランジスタ34に流れる電流をコピーし、pチャネルトランジスタ311、312...31nのゲートに供給する。

【0009】このように構成されたリングオシレータの出力は、ゲート電位が固定電位である電源ラインに固定されたnチャネルトランジスタ34で決定される電流で

その発振周波数が決まっている。したがって、一定周波数での発振が可能であるが、それは常に条件が一定のものであり、条件が変化すると、その発振周波数は変化する。

【0010】たとえば、図60(a)に示すように電源電位が変化すると発振周波数は高くなる。これは、電源電位が上がるとゲート電位が固定電位である電源電位に固定されたnチャネルトランジスタ34のゲート電位が上がることであり、このnチャネルトランジスタ34で流す電流が増加し、インバータ301、302...30n中を流れる電流が増加するためである。また、図60

(b)に示すように、温度が上昇すると発振周波数が低下する。これは、温度が上昇すると、nチャネルトランジスタ34の電流駆動能力が低下し、このnチャネルトランジスタ34で流す電流が低下し、インバータ301、302...30n中を流れる電流が低下するためである。しかも、温度が上昇すると、インバータ301、302...30nの内部抵抗が高くなり、電流が流れにくくなり、これによっても発振周波数が低下する。

【0011】しかしながら、これらの変化自身は直接悪い特性というわけではない。

【0012】

【発明が解決しようとする課題】ところが、図58に示したリングオシレータを図56に示したタイマ3として用いると、DRAMにおけるメモリセルのデータ保持特性を劣化させる恐れがある。すなわち、DRAMにおけるリフレッシュの間隔は、DRAM内のメモリセルの有するデータ保持特性により決定される。メモリセルの有するデータ保持特性が長ければその分だけリフレッシュを行なうタイミングを規則以上に、その間隔を引延ばすことでリフレッシュの回数を少なくし、DRMAが動作する回数を減少させることが可能である。一般的に、メモリセルの有するデータ保持特性は図59に示すように、高温になるほど短くなる。これは、メモリセルのセルプレート41とストレージノード42との対向電極に電荷として蓄えられたデータがストレージノード42側の拡散層部分43で基板方向にリークを起こし、電荷が減少するために生じる。

【0013】一般的に、消費電力が特に要求される携帯型コンピュータにおいては、非常な高温で使用されることはめったになく、それだけリフレッシュ間隔を引延ばしてもよいことになる。ここで、このリフレッシュ間隔を決めるタイマに、図58に示したようなリングオシレータを用いると、高温でタイマの発振周波数が低下してしまい、リフレッシュ間隔が延びてしまう。これでは、高温か低温のいずれかに発振周波数を合わせてしまうと、その逆状態で使用する際にオーバースペック状態になるという欠点がある。

【0014】それゆえに、この発明の主たる目的は、温度依存性のある電流を発生する温度依存性回路とそれを

用いた電流発生回路、インバータおよび温度が上昇すると発振周波数が上昇する発振回路を提供することである。

【0015】

【課題を解決するための手段】請求項1に係る発明は、温度依存性を有する電流発生回路であって、定電流を分流手段によって定電流をそのまま用いるか、もしくは1/n (n>1) に分流して電流を取り出し、温度依存性電流生成手段によって定電流から温度依存性のある電流を生成し、分流手段からの電流と温度依存性電流生成手段からの温度依存性のある電流とを加算手段によって加算する。

【0016】請求項2に係る発明では、請求項1の温度依存性電流生成手段は、トランジスタを含む基準電流発生回路から定電流に応じた基準電流を流し、この基準電流をカレントミラー回路に含まれる2個のトランジスタのそれぞれに供給し、カレントミラー回路の2個のトランジスタの第2の電極と第1の電源ラインとの間に温度依存性の異なる2個の抵抗を接続して構成される。

【0017】請求項3に係る発明では、請求項2の温度依存性電流生成手段は、カレントミラー回路から出力される温度依存性のある電流を複数の並列接続されたトランジスタに供給して増幅する。

【0018】請求項4に係る発明では、請求項1の分流手段は、定電流を受けてトランジスタから基準電流を出力し、この基準電流を並列接続された複数のトランジスタによって分流する。

【0019】請求項5に係る発明では、定電流発生手段から定電流を発生して分流手段と温度依存性電流生成手段に与える。

【0020】請求項6に係る発明は、インバータ手段の一方のゲート入力に第1のクロック信号を与え、他方のゲート入力に第2のクロック信号を与え、インバータ手段の第1の電源側端子と第1の電源ラインとの間に第1の導電形式の第1のトランジスタを接続し、その入力電極にはゲート電位を与え、インバータ手段の第2の電源側端子と第2の電源ラインとの間に第2の導電形式の第2のトランジスタを接続し、その入力電極にはゲート電位を与える。

【0021】請求項7に係る発明では、請求項6のインバータ手段は、第1の導電形式の第3のトランジスタと第2の導電形式の第4のトランジスタを直列接続し、それぞれの入力電極を一方のゲート入力とし、第3のトランジスタと第1のトランジスタとの間に第1の導電形式の第5のトランジスタを接続するとともに、第4のトランジスタと第2のトランジスタとの間に第2の導電形式の第6のトランジスタを接続し、第5のトランジスタの入力電極と第6のトランジスタの入力電極とを他方のゲート入力とする。

【0022】請求項8に係る発明では、請求項7の発明

に加えて、さらに分流して極性の異なる微小電流信号を微小電流信号発生手段から発生し、第5のトランジスタに対して第1の導電形式の第7のトランジスタを並列接続し、その入力電極に一方の極性の微小信号を与え、第6のトランジスタに対して第8のトランジスタを並列接続し、その入力電極には他方の極性の微小信号を与え、第7および第8のトランジスタを導通させることによってインバータ手段の出力がフローティング状態になるのを防止する。

【0023】請求項9に係る発明では、請求項7における第5および第6のトランジスタはデプレッション型または低しきい値のトランジスタで構成される。

【0024】請求項10に係る発明は温度依存性のある発振回路であって、それぞれが2つのゲート入力を有する複数のインバータ手段の一方のゲート入力に第1のクロック信号を与え、他方のゲート入力には第2のクロック信号を与え、各インバータ手段の第1の電源側端子と第1の電源ラインとの間に第1の導電形式の第1のトランジスタを接続し、第1のトランジスタの入力電極に一方の極性の電流信号を与え、各インバータ手段の第2の電源側端子と第2の電源ラインとの間に第2の導電形式の第2のトランジスタを接続し、その入力電極に他方の極性の電流信号を与え、第1のトランジスタと第2のトランジスタによってインバータ手段に流れる電流を制限するように構成される。

【0025】請求項11に係る発明では、請求項10のインバータ手段は、第1の導電形式の第3のトランジスタと第2の導電形式の第4のトランジスタを直列接続し、それぞれの入力電極を一方のゲート入力とし、第3のトランジスタと第1のトランジスタとの間に第1の導電形式の第5のトランジスタを接続し、第4のトランジスタと第2のトランジスタとの間に第2の導電形式の第6のトランジスタを接続し、その入力電極と第5のトランジスタの入力電極とを他方のゲート入力とする。

【0026】請求項12に係る発明では、請求項7に係る発明に加えて、さらに極性の異なる微小電流信号を微小電流信号発生手段から発生し、第5のトランジスタに対して第7のトランジスタを並列接続し、その入力電極に一方の極性の微小電流信号が与えられる第6のトランジスタに対して第8のトランジスタを並列接続し、その入力電極に他方の極性の微小電流信号を与え、第7のトランジスタと第8のトランジスタとによってインバータ手段の出力がフローティング状態になるのを防止する。

【0027】請求項13に係る発明ではカレントミラー回路を構成する一方のトランジスタと他方のトランジスタの入力電極が共通接続され、一方のトランジスタの第1の電極と入力電極とに電流が供給され、他方のトランジスタの入力電極に電流が供給され、各トランジスタの第2の電極と第1の電源ラインとの間に温度特性の異なる抵抗素子が接続される。

【0028】請求項14に係る発明では、請求項13の抵抗素子は、それぞれの導通時の抵抗値の温度特性が異なるトランジスタである。

【0029】請求項15に係る発明では、さらに、基準電位を発生する基準電位発生手段と、カレントミラー回路の出力に応じて内部電位を発生する内部電位発生手段と、カレントミラー回路の一方のトランジスタに直列接続され、その入力電極に基準電位が与えられる第9のトランジスタと、他方のトランジスタに直列接続され、その入力電極に内部電位が与えられる第10のトランジスタを含み、カレントミラー回路とともに電流比較手段を構成するゲート手段を含む。

【0030】請求項16に係る発明では、請求項15の内部電位発生手段は電源電圧よりも高い電位または接地電位よりも低い電位を発生する。

【0031】請求項17に係る発明では、さらに内部電位を分圧して第10のトランジスタの入力電極に与える分圧手段を含む。

【0032】請求項18に係る発明では、カレントミラー回路の出力を増幅して活性化信号を内部電位発生手段に与える増幅手段を含む。

【0033】請求項19に係る発明は、電流源からの定電流をカレントミラーを構成する第1のトランジスタの第1の電極に供給し、第2のトランジスタの第1の電極から電流を取出し、第2のトランジスタの第2の電極と基準電位との間に抵抗素子を接続して電流発生回路が構成される。

【0034】請求項20に係る発明では、請求項19の第1のトランジスタの第2の電極と基準電位との間に第2の抵抗素子が接続される。

【0035】請求項21に係る発明では、請求項19または20の第1のトランジスタと第2のトランジスタはそれぞれの電流駆動能力が異なっている。

【0036】請求項22に係る発明では、請求項19ないし21の第1のトランジスタの第2の電極と基準電位との間に第3のトランジスタが接続され、抵抗素子と基準電位との間に第4のトランジスタが接続され、第3のトランジスタと第4のトランジスタのそれぞれの基板電位が異なっている。

【0037】請求項23に係る発明では、電流源からの定電流をダイオード接続された第1のトランジスタに供給し、第1のトランジスタの入力電極と基準電位との間に抵抗素子を接続し、この抵抗素子に流れた電流を第2のトランジスタから取出す。

【0038】請求項24に係る発明では、複数の電流発生回路が縦続接続され、各電流発生回路は定電流を供給する電流源と、定電流を受ける第1のトランジスタおよび電流を出力する第2のトランジスタと、第2のトランジスタと基準電位との間に接続される抵抗素子を含む。

【0039】請求項25に係る発明では、請求項24に

における複数の電流発生回路間をカレントミラー回路で接続する。

【0040】請求項26に係る発明は、第1の導電形式のトランジスタで構成された第1のカレントミラー回路に対して、第2の導電形式のトランジスタで構成された第2のカレントミラー回路を直列接続し、第1および第2のカレントミラー回路に対して第1の導電形式の複数のトランジスタをダイオード接続して並列接続される。

【0041】

【発明の実施の形態】図1および図2はこの発明の原理を説明するための図である。

【0042】この発明は図1に示すように、温度が上昇するに従ってタイマ周波数、すなわち発振周波数が上昇するように電流が制御される。すなわち、図2に示すように、3種類の電流がまず生成される。その1つは、常に一定電流を流すことを目的とする電流 I_b である。これは主に温度依存性を示す電流により、ある条件で電流が回路中に流れなくなり、回路がデッドロックしないための最低の電流を補償するものである。2番目は条件によって一定間隔もしくは任意の間隔で増減させることのできる I_s である。これは、基本的な発振周波数を検定するために用いる。したがって、リングオシレータの発振周波数を決める電流 I_m は I_b と I_s の和で表わされる。第3の電流は、ある温度 T_0 以上で温度依存性を示しながら増加する電流 I_t である。この電流は温度依存性を示す他に、その温度特性を一定間隔もしくは任意の間隔で増減させることのできる電流である。この電流と基本的な周波数を決定する電流 I_m との総和で発振周波数の最終的な温度特性が決定される。

【0043】図3はこの発明の第1の実施形態を示す概略ブロック図である。図3において、定電流発生回路20は、すべての電流制御の基本となる電流を発生する。定電流発生回路20で発生された定電流は温度依存性回路21と分流通路23とに与えられる。なお、定電流発生回路20は温度依存性回路21と分流通路23とにそれぞれ個々の回路を設けても構わないが、定電流発生回路20は常に電流を消費する状態が続くことが多いので、この実施形態では消費電流を削減するために共有化されている。また、この定電流は温度依存性はあるが電圧依存性は小さい方が好ましいので、以下の実施形態中ではそれに従って説明する。分流通路23は基本となる定電流を分割して取出して微小電流 I_b を生成するとともに、ステップ電流 I_s を生成する。温度依存性回路21は定電流から温度依存性のある電流を生成する。これらの電流は加算回路24に与えられ、加算されることによって、その温度条件に合った電流が生成され、最終的にリングオシレータ30に伝達されて発振をサポートする。

【0044】図4は図3に示したブロック図をより具体的な回路図で示したものである。図4において、定電流

発生回路20はpチャネルトランジスタ201、202からなるカレントミラー回路と、nチャネルトランジスタ203、204からなるカレントミラー回路とをゲートトランジスタ206~208によって接続したものであり、nチャネルトランジスタ204のソースと接地間には抵抗 R が接続されている。この定電流発生回路20については、IEEE J. S. S. C. VOL. SC-12, NO. 3, JUNE 1997, PP. 224~231でERIC VITTZらによって示されているので、その具体的な動作については説明を省略する。ただし、図4における定電流発生回路20と上述の文献と異なるのはトランスファゲート206、207を設けていることである。これは非使用時における回路遮断用と電流節減用で活性化信号 EN が“H”レベル、 $\neg EN$ が“L”レベルの状態で回路中に電流が流れて活性化される。この活性化信号は、図11に示したセルフリフレッシュ検出回路2によってセルフリフレッシュモードが検出されたとき、活性化される。

【0045】定電流発生回路20で発生された定電流は分流通路23のpチャネルトランジスタ231をゲートのゲート電位として伝達される。pチャネルトランジスタ231のドレインは電源ラインに接続され、ソースは活性化信号 EN 、 $\neg EN$ によって活性化されるトランスファゲート232を介して複数のnチャネルトランジスタ233、234、235のドレインとゲートに接続される。複数のnチャネルトランジスタ233、234、235のソースは接地される。これらのトランジスタ233、234、235はpチャネルトランジスタ231に流れる電流 I_{ref} を電流分割して分割した電流 I_m を生成する。この電流 I_m は電流 I_b と I_s を既に含んだ値である。この分割するトランジスタ233、234、235の個数 m を変化させることによって任意の値の I_m を得ることができる。

【0046】定電流発生回路20で発生された基準電流 I_{ref} は温度依存性回路21にも与えられる。温度依存性回路21は定電流発生回路20からの基準電流 I_{ref} をそのゲートに受けるpチャネルトランジスタ211、212と、トランスファゲート215、216とカレントミラー回路を構成するnチャネルトランジスタ213、214と、nチャネルトランジスタ213、214と接地との間に接続される温度特性の異なる抵抗素子 R_1 、 R_2 とで構成された電流比較部を含む。抵抗素子 R_1 はポリシリコン等のメタルからなり、温度特性がほとんど0であるのに対して、抵抗素子 R_2 はシリコン基板にP型不純物をドーブしたP型ウェルであって、温度特性が正に形成されており、温度が上昇するとその抵抗値が $R_1 < R_2$ となるように選ばれている。

【0047】さらに、抵抗 R_2 が接続されたnチャネルトランジスタ214のドレインにはミラー接続されたnチャネルトランジスタ217が接続されている。このn

チャネルトランジスタ217はNチャネルトランジスタ214から滲み出てきた電流を受ける役目をする。さらに、nチャネルトランジスタ217のゲートおよびドレインには、温度依存性のステップを調整するためのnチャネルトランジスタ218、219、220が並列接続される。ミラー接続されたnチャネルトランジスタ217の電流はnチャネルトランジスタ218、219、220によって増幅され、加算回路24に供給される。

【0048】加算回路24は、カレントミラー回路を構成するpチャネルトランジスタ241、242と、活性化信号EN、 \neg ENに応じて導通するトランスファゲート243、244と、トランスファゲート243、244によってpチャネルトランジスタ241、242に接続されるnチャネルトランジスタ245、246を含む。nチャネルトランジスタ246のゲートには分流通路23によって分流された電流 I_m が入力され、nチャネルトランジスタ246のドレインであるノードZには温度依存性回路21から電流 I_t が与えられ、 I_t と I_m はノードZから引抜かれる。この電流はpチャネルトランジスタ241と242のカレントミラー回路でコピーされ、リングオシレータ30におけるインバータの電流制御用トランジスタのゲート電位TMHとして供給される。また、nチャネルトランジスタ245からは逆極性のゲート電位TMLが出力される。

【0049】なお、図4におけるリーク電流制限回路25については後述する。次に、図4に示した電流発生回路の動作について説明する。活性化信号ENが“H”レベルになり、 \neg ENが“L”レベルになると、定電流発生回路20から基準電流 I_{ref} が発生され、温度依存性回路21と分流通路23とに与えられる。分流通路23では、その基準電流 I_{ref} をpチャネルトランジスタ231のゲートに受け、接地側に並列接続されたnチャネルトランジスタ233、234、235によって基準電流 I_{ref} が電流分割され、微小電流 I_m が生成される。この微小電流 I_m は前述の電流 I_b と I_s を含んだ値である。

【0050】一方、温度依存性回路21では、基準電流 I_{ref} がpチャネルトランジスタ211、212からトランスファゲート215、216を介してnチャネルトランジスタ213と214とからなるカレントミラー回路に流れる。ここで、抵抗 R_1 と R_2 の抵抗値が同じであれば、同一の電流が接地電位に対して流込んで、隣接するダイオード接続されたnチャネルトランジスタ217側にしみ出てくる電流はほぼ0となる。このポイントをT0温度ポイントに設定しておけば、T0における温度依存性電流成分 I_t は0となる。ところが、高温になると、抵抗 R_2 は温度依存性を有しているため、その抵抗値が抵抗 R_1 に対して大きくなり、基準電流 I_{ref} が流れた場合の電位降下が抵抗 R_2 側で大きくなるとする。

【0051】しかし、抵抗 R_1 側のnチャネルトランジスタ213がダイオード接続されているため、抵抗 R_2 側のnチャネルトランジスタ214のソース側の電位が抵抗 R_2 の電位降下で押し上げられ、ゲート/ソース間電位が小さくなり、その電流駆動能力が小さくなるので、このnチャネルトランジスタ214は基準電流を I_{ref} の一部しか接地側に流さなくなる。したがって、この流れきれなかった電流が隣接するダイオード接続されたnチャネルトランジスタ217側にしみ出てくる。この電流 I_{to} がさらにnチャネルトランジスタ217と218とのミラー接続によりコピーされ、複数のトランジスタ219、220によって増幅された電流 I_t が加算回路24に与えられる。この増幅は並列に接続するトランジスタの数 n を変化させれば自由に変更でき、同時に温度依存性も変化させることができる。

【0052】電流 I_t と I_m とが加算回路24によって共通ノードZから引抜かれる。この電流は加算回路24の電源側に設けられているpチャネルトランジスタ241と242とのカレントミラー回路でコピーされ、TMH信号としてリングオシレータにおけるインバータの電流制御用トランジスタのゲート電位となる。また、ダイオード接続されたnチャネルトランジスタ245のドレインからは逆極性のTML信号が出力される。

【0053】図5は図4に示した電流比較部の他の例を示す図であり、特に、図5(a)は図4に示した温度依存性回路21から電流比較部を抜き出して示した図であり、接地側に抵抗 R_1 、 R_2 を挿入したものであり、図5(b)は図5(a)のトランスファゲート215、216を除いて示した図である。図5(c)は抵抗 R_1 、 R_2 を電源側に挿入したものであり、図5(d)は図5(c)のトランスファゲート215、216を除いて示した図である。

【0054】図5(c)、(d)において、pチャネルトランジスタ211と212とによってカレントミラー回路を構成し、nチャネルトランジスタ213、214のゲートに基準電流 I_{ref} を流すようにしたものである。図5(a)、(b)に示すように、接地側に抵抗 R_1 、 R_2 を挿入するか、あるいは図5(c)、(d)に示すように電源側に抵抗 R_1 、 R_2 を挿入するかは、電流比較部で比較させる対象の電流によって決まる。抵抗 R_1 、 R_2 として単なる抵抗であれば、いずれに挿入しても構わない。このとき、高めの電位や電源電圧を越えるような電位を対象とする場合は、接地側に抵抗素子を挿入し、低めの電位や接地電位よりも低い負の電位を対象とする場合には電源側に抵抗性素子を挿入するのが望ましい。

【0055】図6は電流比較部の他の例を示す図であり、特に、図6(a)は図5(a)に示した抵抗素子 R_1 、 R_2 に代えてnチャネルトランジスタ221と222とを接続したものであり、図6(b)は図6(a)の

トランスファークラップ215、216を省略して示した回路図である。nチャネルトランジスタ221と222のゲート電位を制御することによって、nチャネルトランジスタ221、222の抵抗値を変えることができ、nチャネルトランジスタ221と222のドレイン電圧がカレントミラー回路で比較される。

【0056】図6(c)は図5(c)の抵抗素子R1、R2に代えて電源側にpチャネルトランジスタ223と224とを挿入したものであり、図6(d)は図6(c)のトランスファークラップ215、216を省略して示した図である。

【0057】図7は図4と同様に、図6(d)に示した電流比較部の出力にnチャネルトランジスタ217を接続した例を示す図である。前述の図4に示した例では、電流比較部の出力がレベルで出力されるのに対して、この図7に示した例は電流の形式で出力が取出される。

【0058】図7において、入力Aに基準電位が与えられ、入力Bが測定対象となっているとすると、測定対象が基準電位よりも電位が低ければ、nチャネルトランジスタ221、222の抵抗値が増加する。すると、入力Bを用いる例に対しては、電流を流す力が弱くなり、出力電位ノードに電荷が溜まり、電位が上昇するのが前述の実施形態であったが、ここでは余った電荷をダイオード接続されたnチャネルトランジスタ217に流し出す構成を取る。このnチャネルトランジスタ217はダイオード接続されているので、流れる電流の大きさでそのゲート電位が決まる。そして、このゲート電位を次段のnチャネルトランジスタ218に接続すれば、カレントミラー構成となり、同一の電流を取出すことができる。

【0059】図8は電流比較部の出力に増幅器を接続した例を示す図である。図8において、入力A、Bに入力される信号に応じて、抵抗性素子としてのnチャネルトランジスタ221、222のそれぞれの抵抗値の差が左右の電流成分の変化を生じ、この出力電位が増幅器225で増幅される。増幅器225はnチャネルトランジスタ228と229とからなるカレントミラー回路と、nチャネルトランジスタ228のドレインと電源ラインおよびnチャネルトランジスタ229のドレインと電源ラインとの間に接続されるpチャネルトランジスタ226、227とからなる。そして、増幅器225は電流比較部の出力の微小な振幅を増幅する。

【0060】図9は図8に示した比較部の入力Aに基準電位を与えるようにした具体例を示す回路図であり、特に、図9(a)は全体の回路を示し、(b)は基準電位発生回路の具体例を示す回路図である。

【0061】基準電位発生回路40は、pチャネルトランジスタ401と402とからなるカレントミラー回路と、nチャネルトランジスタ403と404とからなるカレントミラー回路が電源ラインと接地ラインとの間に

接続され、nチャネルトランジスタ404のソースと接地間に抵抗R3が接続される。pチャネルトランジスタ402のソースはpチャネルトランジスタ405のゲートに接続され、pチャネルトランジスタ405のドレインは電源ラインに接続され、pチャネルトランジスタ405のソースと接地間には抵抗素子としてpチャネルトランジスタ406、407、408が直列接続される。すなわち、pチャネルトランジスタ405のソースにpチャネルトランジスタ406のドレインが接続され、そのソースにpチャネルトランジスタ407のドレインが接続され、そのソースにpチャネルトランジスタ408のドレインが接続され、そのソースは接地される。そして、pチャネルトランジスタ406、407の各ゲートはpチャネルトランジスタ407のソースに接続され、pチャネルトランジスタ408のゲートは接地される。

【0062】図9(b)に示した基準電位発生回路40において、抵抗R3に流れる電流と同じ値の電流がpチャネルトランジスタ406、407および408に流れ、その電流とpチャネルトランジスタ406～408の抵抗値とに基づいて、pチャネルトランジスタ405のソースと接地間に基準電位が発生し、電流比較部のnチャネルトランジスタ221のゲートに与えられる。そして、電流比較部はその基準電位と入力Bに与えられる電位とを比較し、その比較出力を増幅器225に出力する。

【0063】図10は電流比較部のさらに他の例を示す回路図である。この図10に示した例は、基準電位発生回路41から発生される基準電位をプログラミング回路42で変化させるようにしたものである。すなわち、基準電位発生回路41は図10(b)に示すように、pチャネルトランジスタトランジスタ405のソースとpチャネルトランジスタ407のドレインとの間に可変抵抗R4を接続したものであり、それ以外の構成は前述の図9(b)に示した基準電位発生回路40と同じである。

可変抵抗R4の値を変化させることによって、基準電位が変化する。可変抵抗R4は図10(c)に示すように、pチャネルトランジスタ411～414を直列接続し、各pチャネルトランジスタ411～414のそれぞれに抵抗R5～R8を並列接続して構成される。そして、pチャネルトランジスタ411～414の各ゲートにプログラミング回路42から信号A～Dが与えられる。たとえば、信号A～Dのいずれもが「H」レベルになると、pチャネルトランジスタ411～414がオフし、抵抗R5～R8が直列接続され、基準電位発生回路41のpチャネルトランジスタ405のソースとpチャネルトランジスタ407のドレインとの間に接続されることになる。信号Aが「L」レベルになり、信号B～Dが「H」レベルであれば、抵抗R6、R7、R8の直列回路がpチャネルトランジスタ405のソースとpチャネルトランジスタ407のドレインとの間に接続される

ことになる。

【0064】なお、プログラミング回路42は信号A～Dを発生するために、4つの回路が設けられて、図10(d)では、1つの回路のみを示している。図10

(d)に示すように、電源ラインと接地間にはpチャネルトランジスタ421とヒューズ423とnチャネルトランジスタ422とが直列接続される。ヒューズ423とnチャネルトランジスタ422の接続点は、nチャネルトランジスタ424、425の各ドレインとインバータ426の入力に接続され、nチャネルトランジスタ424、425のソースは接地される。nチャネルトランジスタ425のゲートには電源電位の中間電位が与えられる。インバータ426の出力はnチャネルトランジスタ424のゲートとインバータ427の入力に接続され、nチャネルトランジスタ424とインバータ426とによってラッチ回路が構成される。インバータ427の出力はインバータ428の入力に接続され、インバータ428の出力は信号Aとして図10(c)に示したpチャネルトランジスタ411のゲートに与えられる。

【0065】図10(d)に示したプログラミング回路42は、ヒューズ423を溶断しない状態では、pチャネルトランジスタ421が導通し、インバータ426の入力が「H」になり、nチャネルトランジスタ425に微小電流が流れる。nチャネルトランジスタ424とインバータ426とからなるラッチ回路の出力は「L」レベルになり、インバータ427、428を介して「L」レベルの信号Aが出力され、図10(c)に示したnチャネルトランジスタ411が導通し、抵抗R5の両端が短絡される。ヒューズ423が溶断されると、インバータ426の入力が「L」になり、ラッチ回路の出力が「H」レベルになって、pチャネルトランジスタ411がオフし、抵抗Rが有効化される。

【0066】図11は比較部のその他の例を示す回路図である。この図11に示した例は、内部電位発生回路43から発生された内部電位が基準電位に達しているかを判定するための比較を行なうレベルデテクタに適用できるようにしたものである。増幅器225の出力にはバッファ230が接続され、バッファ230の出力が活性化信号として内部電位発生回路43に与えられる。内部電位発生回路43は、その活性化信号に応じて、内部電位を発生して比較部の入力Bに与えられる。比較部は基準電位発生回路40から発生された基準電位と内部電位とを比較し、その差に応じた信号が増幅器225に与えられ、バッファ230を介して活性化信号が内部電位発生回路43に与えられる。内部電位発生回路43はその差が小さくなるように内部電位を発生する。内部電位が基準電位に達していれば、内部電位発生回路43は動作を停止し、内部電位が基準電位に達していなければ動作を継続する。これにより、必要な時期での内部電位発生回路43の動作を中止させることができ、消費電力を削減

できる。

【0067】なお、上述の例は、内部電位が基準電位となるようにしたが、これに限ることなく、nチャネルトランジスタ221、222のサイズをアンバランスにして、それぞれの導通時の抵抗値を異ならせておけば、内部電位を基準電位ではなく、所定のレベルに近づけるようにすることもできる。

【0068】図12は図11に示した例の変形例を示す回路図である。この例は、電源電圧よりも高い電位を発生する例を示したものである。図11に示した内部電位発生回路43に代えて高め電位発生回路44が設けられ、nチャネルトランジスタ221と222のサイズがアンバランスとなるように選ばれている。そして、高め電位発生回路44から電源電圧よりも高めの電位が発生され、この電位が比較部で基準電位と比較され、活性化信号による高め電位発生回路44から基準電位より高めの電位が発生される。

【0069】図13は電流比較部のさらに他の例を示す回路図である。この図13に示した例は、高め電位発生回路44から発生された高め電位が分圧回路45によって分圧され、分圧された電圧と基準電位とが比較部で比較される。なお、この例では、nチャネルトランジスタ221と222のサイズがアンバランスにされていない。

【0070】図14は図13に示した分圧回路の例を示す回路図である。特に、図14(a)は抵抗R11とR12とを発生電位と接地電位との間に接続し、抵抗R11とR12との接続点から分圧電圧を発生させる。図14(b)に示した例は、pチャネルトランジスタ451と452とを直列的にダイオード接続し、pチャネルトランジスタ451と452との接続点から分圧電圧を発生する。図14(c)に示した例では、pチャネルトランジスタ453とnチャネルトランジスタ454とを直列接続し、pチャネルトランジスタ453のゲートを接地し、nチャネルトランジスタ454のゲートを発生電位ラインに接続し、pチャネルトランジスタ453とnチャネルトランジスタ454の接続点から分圧電圧を出力する。図14(d)に示した例は、nチャネルトランジスタ455とnチャネルトランジスタ456とを直列接続し、各トランジスタのゲートを発生電位ラインに接続し、nチャネルトランジスタ455と456との接続点から分圧電圧を発生する。

【0071】図14(e)に示した例は、抵抗R13と定電流源457を直列接続し、その接続点から分圧電圧を発生する。

【0072】図15は電流比較部のさらにその他の例を示す回路図である。この図15に示した例は、図6

(d)に示した電流比較部の出力に増幅器225を接続し、低め電位発生回路46から接地電位よりも低めの電位を発生し、電流比較部で基準電位発生回路40からの

基準電位と比較するものである。pチャネルトランジスタ223と224のゲートサイズはアンバランスにされており、導通時の抵抗値が異なるように選ばれている。したがって、この例では、活性化信号によって低め電位発生回路46から接地電位よりも低い電位を発生できる。

【0073】図16は図15に示した例の変形例を示す図である。この例では、低め電位発生回路46からの電位が分圧回路47で分圧され、分圧された電圧と基準電位とが電流比較部で比較される。

【0074】図17は図16に示した分圧回路の具体例を示す図である。図17(a)は、抵抗R14とR15とを電源ラインと発生電位ラインとの間に接続し、その接続点から分圧電圧を発生する。図17(b)はpチャネルトランジスタ458と459とを直列的にダイオード接続し、その接続点から分圧電圧を発生する。図17(c)に示した例は、pチャネルトランジスタ460とnチャネルトランジスタ461を電源ラインと発生電位のラインとの間に接続し、pチャネルトランジスタ460のゲートに発生電位を与え、nチャネルトランジスタ461のゲートに電源電位を与え、pチャネルトランジスタ460とnチャネルトランジスタ461の接続点から分圧電圧を発生する。図17(d)に示した例は、nチャネルトランジスタ462と463とを直列接続し、各ゲートに電源電位を与える。図17(e)に示した例は、定電流源464と抵抗R16とを電源ラインと発生電位ラインとの間で接続し、両者の接続点から分圧電圧を出力する。

【0075】図18は従来のクロックインバータとこの発明の実施形態のクロックインバータの具体例を示す回路図である。

【0076】図18(a)は前述の図27に示した従来のリングオシレータに用いられているクロックインバータであって、pチャネルトランジスタ51、52とnチャネルトランジスタ53、54とを直列接続し、pチャネルトランジスタ51とnチャネルトランジスタ54とのゲートを一方の入力とし、pチャネルトランジスタ52とnチャネルトランジスタ53とのゲートを他方入力としたものである。このようなクロックインバータにおいては、クロック信号INAがINBより先に変化することによって電流貫通パスを遮断し、その後クロック信号INBが変化すれば出力OUTは変化する。しかし、ここでの問題は先に変化するクロック信号INAにより電流貫通パスを遮断すると、その出力は一時フローティング状態になるので、ノイズに弱くなり、誤動作する可能性がある。

【0077】そこで、図18(b)に示した実施形態のクロックインバータでは、pチャネルトランジスタ51に対してpチャネルトランジスタ55が並列接続され、nチャネルトランジスタ54に対してnチャネルトラン

ジスタ56が並列接続される。そして、先に変化するクロック信号INAにより電流貫通パスが遮断された後でも、誤動作しない程度の微小な電流をpチャネルトランジスタ55とnチャネルトランジスタ56のゲートに与えることによって回避できる。この微小な電流は図4に示したリーク電流制御回路25から発生される。

【0078】すなわち、分圧回路23で分圧された微小電流Imはリーク電流制御回路25のnチャネルトランジスタ254のゲートに与えられ、さらに電源側に並列接続されたpチャネルトランジスタ251~253によってさらに分圧されて電流Ikが得られる。このとき、トランジスタの数wを変化させれば分圧される電流の値を自由に変更できる。そして、分圧された電流IkはLK H信号として図18(b)に示すpチャネルトランジスタ55のゲートに与えられる。また、LK H信号はリーク電流制御回路25のpチャネルトランジスタ255のゲートを介して、そのソースにダイオード接続されたnチャネルトランジスタ256に与えられ、逆極性のLK L信号が得られ、このLK L信号が図18(b)に示すnチャネルトランジスタ56のゲートに与えられる。

【0079】図19は図18(a)、(b)に示したクロックインバータの動作を説明するためのタイムチャートである。図19(a)に示すように、クロック信号INAが“H”レベルから“L”レベルになったとき、クロック信号INBは“H”レベルであるため、nチャネルトランジスタ53はオンしているが、nチャネルトランジスタ54はオフになっており、pチャネルトランジスタ51はオンしているが、pチャネルトランジスタ52はオフしているため、出力はフローティング状態になる。

【0080】ところが図18(b)に示すクロックインバータは、クロック信号INAが“H”レベルから“L”レベルになったとき、クロック信号INBが“H”レベルになっていてもnチャネルトランジスタ53はオンしており、LK L信号によってnチャネルトランジスタ56がオンするため、出力は“L”レベルになり、フローティング状態になるのを防止できる。

【0081】図20は図18(b)に示した実施形態の変形例を示す図である。この図20に示したクロックインバータは、図18(b)に示したpチャネルトランジスタ55に代えて抵抗57をpチャネルトランジスタ51に並列接続し、nチャネルトランジスタ56に代えて抵抗58をnチャネルトランジスタ54に並列接続したものである。このように、図18(b)に示すpチャネルトランジスタ55とnチャネルトランジスタ56を抵抗57、58に置換えても、クロック信号INAが“H”から“L”レベルになったとき、出力端子はnチャネルトランジスタ53から抵抗58を介して接地されるので、フローティング状態になることはない。

【0082】図21はこの発明の他の実施形態のクロッ

クインバータを示す回路図である。この実施形態は、図18(b)に示したクロッククインバータの電源側にpチャネルトランジスタ59を直列接続し、そのゲートに図4に示したTMH信号が与えられる。また、接地側にはnチャネルトランジスタ60が接続され、そのゲートにTML信号が入力される。この実施形態では、pチャネルトランジスタ59とnチャネルトランジスタ60のそれぞれのゲートに与えられるTMH信号とTML信号によってインバータに流れる電流を制限できる効果がある。

【0083】図22は図21に示したインバータを用いて構成したリングオシレータの回路図である。この図9に示したリングオシレータは、図21に示したインバータが奇数段61~65設けられ、pチャネルトランジスタ52とnチャネルトランジスタ53の各ゲートが一方のゲート入力として前段のインバータの出力に接続され、pチャネルトランジスタ51とnチャネルトランジスタ54の各ゲートがそれよりも2段前のインバータの出力に接続される。このように構成されたリングオシレータでは、各インバータ61~65に入力される2つのゲート入力信号は、同相であるが2段前段の出力を受ける方が若干早くなる。そして、各インバータの動作電流はpチャネルトランジスタ59とnチャネルトランジスタ60の電流制御トランジスタによって制限されるため、規則的な発振周波数を得ることができる。

【0084】また、クロッククインバータの制御により貫通電流が流れるのを防止できるとともに、pチャネルトランジスタ55とnチャネルトランジスタ56の各ゲートに微小電流を流すことにより、出力がフローティング状態になるのを防止でき、不要な電流を防止して低消費電力なリングオシレータを得ることができる。しかも、このリングオシレータと前述の図4に示した電流発生回路とを組合せることによって、電流で決まる発振周波数を高温で高くすることができるので、図25に示したタイム3にこの実施形態のリングオシレータを用いれば、リフレッシュ特性に適合したリフレッシュ間隔を実現するための発振周波数を得ることができる。

【0085】図23はこの発明の他の実施形態におけるインバータの変形例を示す図である。図23において、pチャネルトランジスタ52に接続されるpチャネルトランジスタ71と、nチャネルトランジスタ53に接続されるnチャネルトランジスタ72として、デプレッショントランジスタまたは低しきい値のトランジスタを用いたものである。デプレッショントランジスタを使用した場合は、クロック信号INAの変化で回路が遮断されてもデプレッショントランジスタを用いたため、電流がリークするので出力がフローティング状態になるのを防止できる。また、低しきい値のトランジスタを用いた場合には、少なからずゲートがオフしている状態でリーク電流が存在していることと同一であるため出力がフロー

ティング状態になるのを防止できる。この実施形態では、4個のトランジスタ素子でインバータを構成することができ、レイアウト面積を削減できる効果がある。

【0086】図24は他の論理回路を低消費電力で構成した例を示す図である。すなわち、論理回路81の電源側にpチャネルトランジスタからなるトランスファゲート82が接続され、接地側にnチャネルトランジスタからなるトランスファゲート83が接続される。そして、トランスファゲート82、83の一方の入力にはクロック信号INAが与えられ、他方の入力にはLKH信号とLKL信号が与えられる。それによって、論理回路81に流れる貫通電流を防止し、低消費電力の論理回路を構成することができる。

【0087】図25は図9(b)に示した基準電位発生回路に含まれるカレントミラー回路を示す図である。この回路はカレントミラー回路をクロスカップさせたものであるが、pチャネルトランジスタ402のドレインからゲートにフィードバックループが存在する。このため、電源投入時にノイズが混入して、たとえばpチャネルトランジスタ401、402のソースとゲートとが同じ電位になると、ソースからドレインに電流が流れなくなり、電流がデッドロックする可能性がある。

【0088】以下、上述のデッドロックをなくし、電源を安定化する実施の形態について説明する。

【0089】図26は電源を安定化した電流発生回路を示す図である。図26において、pチャネルトランジスタ401、402のソースとスイッチ503との間には抵抗R21とコンデンサC1とからなるパッシブフィルタと、アクティブ的なフィルタ501とが並列接続される。コンデンサC1はレイアウト面積を減少させるために、容量の値が小さくされている。スイッチ503の共通接点には電源電圧が与えられる。nチャネルトランジスタ403と404のゲートには立上がり検出回路502の入力が接続され、この検出回路502の出力はスイッチ503に切換信号として与えられる。

【0090】さらに、Pチャネルトランジスタ421、422とnチャネルトランジスタ423とからなるスタートアップ回路が接続されている。Pチャネルトランジスタ421のドレインはノードBに接続され、ソースはノードAに接続され、ゲートはPチャネルトランジスタ422のドレインとnチャネルトランジスタ423のドレインと(ノードD)に接続される。Pチャネルトランジスタ422のノースとnチャネルトランジスタ423のゲートはノードAに接続される。Pチャネルトランジスタ422のゲートはノードCに接続される。

【0091】スタートアップ回路は、電流発生回路が動作していないとき、回路中に電流が流れないため、ノードBは接地側に、ノードCは電源側に電位が寄っている。ノードBに強制的に、電流を流し込むことで回路をスタートさせる。nチャネルトランジスタ423は常時

たとえば $1\mu\text{A}$ のような微小電流を流している。

【0092】電流発生回路が動作をスタートする前は、ノードBは電源側に寄っており、Pチャネルトランジスタ422が電流を流さないため、ノードDは接地側に寄っている。このため、Pチャネルトランジスタ421は導通し、電流をノードBに流し込む。

【0093】電流発生回路が動作をスタートすると、ノードBは電源電位からしきい値電圧程度離れた電位となるのでPチャネルトランジスタ422が導通し、この電流がnチャネルトランジスタ423よりも大きくノードDは電源側に寄る。Pチャネルトランジスタ421が非導通になり、ノードBへの電流供給が停止する。

【0094】図27は図26に示した電流発生回路の電圧の立ち上がり特性を示す図である。電源投入時には、スイッチ503は抵抗R21とコンデンサC1とからなるパッシブフィルタ側に切換えられており、コンデンサC1の容量は小さいため、電源投入時の電源立ち上がりが高速になる。その結果、電源投入特性を向上できる。

【0095】一方、電源がある程度立ち上がり、内部回路が正常に動作し始めると、立ち上がり検出回路502が一定の立ち上がり電圧を検出し、スイッチ503をアクティブフィルタ501側に切換える。その結果、アクティブフィルタ501が活性化され、内部回路動作中のノイズに対応できる。その結果、アクティブフィルタ501によってノイズに対する周波数応答を向上させることができる。

【0096】図28は図26に示したアクティブフィルタの具体例を示す図である。図28において、アクティブフィルタ501はコンパレータ504を含み、基準入力端に抵抗R22とR23とによって電源電圧を分圧した基準電位が与えられる。抵抗R22には図26のスイッチ503を介して電源電圧が与えられる。抵抗R23にはコンデンサC2が並列接続される。コンパレータ504の比較入力端には、コンパレータ504の出力電圧を抵抗R24とR25とで分圧した電圧が与えられる。このようなアクティブフィルタ501は従来から知られたものであるため、その動作説明は省略する。

【0097】図29は図26に示した電流発生回路の変形例を示す図である。この図29に示した電流発生回路は、図26に示したアクティブフィルタ501に代えて、電源投入後に、抵抗R21に対して、抵抗R26が直列接続されるようにしたものである。

【0098】図30は図29に示した電流発生回路の電圧の立ち上がり特性を示す図である。RCフィルタは、その抵抗とコンデンサの値の選択によって周波数特性が異なる。したがって、抵抗値を大きくしてもノイズ除去の周波数特性を向上させることができる。この場合、内部回路の動作電流により内部回路の電源電位が抵抗による電圧降下分だけ低下するが、消費電流の非常に小さな回路であれば問題はない。電源立ち上げ時に、抵抗の値が大

きいと電源立ち上げ時などの高速性を必要とする場合には応答が遅れてしまう場合もある。

【0099】そこで、図29に示したように、電源立ち上げの初期には、スイッチ503を抵抗R21側に切換えて抵抗R21とコンデンサC1とからなるフィルタを活性化させ、図30に示すように電源投入特性を向上させる一方、電源がある程度立ち上がり、内部回路が正常に動作し始めたことを立ち上がり検出回路502が検出すると、スイッチ503を抵抗R26側に切換えて抵抗値を増加させ、内部回路動作中のノイズに対応させる。

【0100】図31はこの発明の基本電流発生回路を示す図である。図31において、nチャネルトランジスタ511と512とによってカレントミラー回路が構成され、nチャネルトランジスタ511はそのドレインとゲートとがダイオード接続され、nチャネルトランジスタ511のドレインにたとえばpチャネルトランジスタからなる電流源が接続される。nチャネルトランジスタ512のソースと接地間には抵抗R26が接続される。この構成において、nチャネルトランジスタ511と512の間には何らかの差異が設けられている。たとえば、しきい値が異なる場合や、チャネル幅が異なる場合が考えられる。

【0101】nチャネルトランジスタ511に電流源505から電源電圧に依存する任意の電流が流れ込むことにより、nチャネルトランジスタ511のゲートと接地間には流れる電流量に従って電位差が生じる。nチャネルトランジスタ512側のゲートと接地間も同等の電位が発生する。ここで、nチャネルトランジスタ512側はnチャネルトランジスタ511に対してしきい値が小さいか、チャネル幅が大きいなどの差異が設けられている。したがって、nチャネルトランジスタ512のゲートソース間電位はnチャネルトランジスタ511側に対して小さくなる。これがnチャネルトランジスタ511側と512側の電位差として出現する。この電位差は抵抗R26に流れて電流が得られる。ここで、抵抗R26は純粋な抵抗成分でもよく、あるいはトランジスタのチャネル成分などを用いた寄生的な抵抗であってもよい。また、nチャネルトランジスタ511側と512側のゲートソース間電位差の温度特性と抵抗R26の温度特性を適当に組合せれば、発生される電流に適当な温度特性を持合わせることができる。

【0102】図32は図31に示した基本電流発生回路の変形例を示す図である。この図32に示した例は、nチャネルトランジスタ511のソース側にも抵抗R27を接続したものである。nチャネルトランジスタ511のソースは流れ込む電流と抵抗R27の成分により発生される電圧降下により、接地電位に対して浮き上がる。したがって、図31に示した抵抗R26の両端に発生する電位差はなくなり、抵抗R27で発生する電流量も大きくなる。この図32に示した例では、抵抗R26とR

27の成分材料を異なる素材とし、温度依存性を異なるようにすれば、発生する電流の大きさに適当な温度依存性を持たせることができる。

【0103】図33は図31に示した基準電位発生回路の他の変形例を示す図である。図33に示した例は、 n チャネルトランジスタ511と接地間に p チャネルトランジスタ513を接続し、抵抗 $R26$ と接地間に p チャネルトランジスタ514を接続し、チャネル抵抗を用いて電圧依存性を持たせるものである。 p チャネルトランジスタ513の基板電位はソース電位に接続され、 p チャネルトランジスタ514の基板電位は電源電位に接続される。したがって、電源電位が低いほど p チャネルトランジスタ513と514の基板電位は接近し、両者のしきい値は近い値であるが、電源電位が高くなると p チャネルトランジスタ513と514の基板電位が大きく異なり、基板電位の差によるバックゲート効果の相違で、しきい値が異なり、それによって n チャネルトランジスタ511側と512側のゲートソース間電位差から発生させる電流の電圧依存性が異なる。

【0104】図33に示した例では、本来 n チャネルトランジスタ512側のゲートソース間電位が大きい、電源電圧が高くなると p チャネルトランジスタ514のしきい値が p チャネルトランジスタ513のしきい値に比べて大きくなるので、抵抗 $R26$ の両端に発生する電位差は小さくなり、発生する電流は電源電圧依存性を受けることとなる。この場合、電源電圧が高くなれば、発生する電流の大きさは小さくなるが、組合せを逆にすれば電源電圧が高くなれば、発生する電流の大きさは大きくなる。このとき、最初の p チャネルトランジスタによって発生する電流が電源電圧依存性を有するので、この電流を相殺することになり、適当にパラメータを設定すれば、電源電圧依存性を持たない発生電流も生成できる。

【0105】図34はトランジスタのチャネル抵抗成分を利用した電流発生回路の他の例を示す図である。図34において、 n チャネルトランジスタ511と接地間には n チャネルトランジスタ515が接続され、抵抗 $R26$ と接地間には n チャネルトランジスタ516が接続される。 n チャネルトランジスタ515と516はそれぞれゲート電位が異なるトランジスタである。このとき、 n チャネルトランジスタ515のゲートは電源電位に接続され、 n チャネルトランジスタ516のゲートは n チャネルトランジスタ511、512のゲート電位に接続されている。したがって、 n チャネルトランジスタ516のチャネル抵抗はあまり変化しないが、 n チャネルトランジスタ515のチャネル抵抗は、電源電圧依存性を受け、電源電圧が高いほど、チャネル抵抗が小さくなる。したがって、電源電圧が高くなるほど抵抗 $R26$ の両端の電位差は小さくなるので、発生する電流の大きさは小さくなる。このとき、最初の p チャネルトランジスタ

タによって発生される電流が電源電圧依存性を有するので、この電流を相殺することとなり、適当にパラメータを設定すれば、電源電圧依存性を持たない発生電流も生成できる。

【0106】図35はダイオード接続された n チャネルトランジスタと抵抗とによって構成した基本電流発生回路を示す図である。図35において、 n チャネルトランジスタ511はダイオード接続され、 n チャネルトランジスタ511、512のゲートと接地間に抵抗 $R26$ が接続される。図35において、電流がこの回路に流入すると、 n チャネルトランジスタ511側を流れる電流と抵抗 $R26$ 側を流れる電流とに分流される。ここで、 n チャネルトランジスタ511はダイオード接続されているので、そのゲートと接地間にはしきい値程度の電圧が発生される。そして、この電圧が抵抗 $R26$ の両端の電圧にも相当するため、抵抗 $R26$ 側にもこれに従った電流が流れる。この両者の電流の和が流入する電流に等しくなるようにパラメータを設定すれば、 n チャネルトランジスタ512側に発生する電流を取出すことができる。

【0107】図36は図35に示した n チャネルトランジスタ511と512を p チャネルトランジスタ517と518とに置換えた例であって、動作は図35と同じである。

【0108】図37は図31に示した基本電流発生回路の n チャネルトランジスタ511、512に代えて、バイポーラトランジスタ519、520で構成した基本電流発生回路であって、動作は図31と同じである。

【0109】図38は図32に示した基本電流発生回路の n チャネルトランジスタ511、512に代えてバイポーラトランジスタ519、520で構成した例であって、動作は図32と同じである。

【0110】図39は図35に示した n チャネルトランジスタ511、512に代えてバイポーラトランジスタ519、520で構成した基本電流発生回路であって、その動作は図35と同じである。

【0111】図40は図36に示した基本電流発生回路の p チャネルトランジスタ517、518に代えてバイポーラトランジスタ521、522で構成したものであって、動作は図36と同じである。

【0112】図41は図40に示したPNP型のバイポーラトランジスタ521、522を構成するトルブルウェル構造を示す図であり、図42は図37～図39に示したNPN型バイポーラトランジスタ519、520を構成するトルブルウェル構造を示す図である。

【0113】図41において、PNPトランジスタはN基板とPウェルとNウェルからなるトリプルウェル構造で構成でき、NPNトランジスタは図42に示すように、P基板とNウェルとPウェルからなるトリプルウェル構造で構成できる。

【0114】図43は定電流発生回路のブロック図であり、図44はその具体的な回路図である。

【0115】図43において、定電流発生回路は、基準電流を発生する基準電流発生部600と、電圧依存性を意図的に持たせた電圧電流発生部610と、温度依存性を意図的に持たせた温度電流発生部620と、各種発生電流の演算を行なう電流演算部630とから構成される。

【0116】基準電流発生部600は図44に示すように定電流源601とnチャネルトランジスタ602、603と抵抗604とから構成されていて、前述の図31と同じ動作をして基準電流を発生する。電圧電流発生部610は定電流源611、612とnチャネルトランジスタ613～616とからなっていて、図34とほぼ同様の動作を行なう。すなわち、電圧電流発生部610のnチャネルトランジスタ615のゲートは電源電位に接続され、nチャネルトランジスタ616のゲートはnチャネルトランジスタ613、614のゲートに接続されているため、nチャネルトランジスタ616のチャネル抵抗はあまり変化しないが、nチャネルトランジスタ615のチャネル抵抗は電源電圧の依存性を受け、電源電圧が高いほどチャネル抵抗が小さくなる。したがって、電源電圧が高くなるほど発生する電流の大きさが小さくなる。このようにして、電圧電流発生部610は電圧に依存する電流を発生する。

【0117】温度電流発生部620は定電流源621、622とnチャネルトランジスタ623、624と抵抗R28、R29とを含み、抵抗R28とR29の成分材料を異なる素材にして温度依存性を異なるようにすれば、温度依存性のある電流を発生できる。電流演算部630はpチャネルトランジスタ631、632とnチャネルトランジスタ633、634、635とから構成される。基準電流発生部600から発生された基準電流はダイオード接続されたpチャネルトランジスタ605を介して電流演算部630のpチャネルトランジスタ631のゲートに入力され、電圧電流発生部610で発生された電流はダイオード接続されたnチャネルトランジスタ617を介して電流演算部630のnチャネルトランジスタ633のゲートに与えられ、温度電流発生部620で発生された電流はダイオード接続されたnチャネルトランジスタ625を介して電流演算部630のpチャネルトランジスタ632のゲートに与えられ、pチャネルトランジスタ631、632とnチャネルトランジスタ633によって電流演算が行なわれる。そして、ダイオード接続されたnチャネルトランジスタ634を介してnチャネルトランジスタ635から定電流が発生される。

【0118】図45は定電流発生回路の一例を示す電気回路図である。この例は、図31に示した基本電流発生回路をシリアルに複数段接続して電圧依存性を緩和させ

るものである。すなわち、初段の基本電流発生回路は図31と同様にして構成され、nチャネルトランジスタ512のドレインにはpチャネルトランジスタ530と531とからなるカレントミラー回路が接続され、pチャネルトランジスタ530はダイオード接続される。pチャネルトランジスタ531のドレインにはnチャネルトランジスタ532と533とからなるカレントミラー回路が接続され、nチャネルトランジスタ532はダイオード接続される。nチャネルトランジスタ533のソースと接地間には抵抗R30が接続される。

【0119】この図45に示した定電流発生回路においては、実際の電流を発生させるのはnチャネルトランジスタ532と533と抵抗R30で構成される部分となるが、初段の基本電流発生回路自体で発生する電流の電圧依存性が緩和されており、この初段の基本電流発生回路からの電流が後段の駆動電流として流れるため、電圧依存性をさらに軽減させることができる。図46は定電流発生回路のさらに他の例を示す回路図である。この図46に示した例は、初段に温度依存性を持つ電流発生回路541を設け、2段目に電圧依存性を持つ電流発生回路542を設け、3段目に定電流源543を接続したものである。この例では、電圧依存性と温度依存性の両方を緩和できる効果がある。

【0120】図47は定電流発生回路のさらに他の例を示す回路図である。この例も初段に温度依存性を有する電流発生回路544と2段目に温度依存性を有する電流発生回路545と電流源543とを縦続接続したものである。そして、初段の電流発生回路544は基板電位を異ならせることによって温度依存性のみならず電圧依存性も持たせることができる。

【0121】前述の図45～図47においては、基準電流発生回路を複数段縦続接続することによって、最終的に得られる定電流の電圧依存性を小さくするようにした。この場合、同じ構成同士であるために、素子のばらつきによる特性の変化を小さくできる利点がある反面、個々の基準電流発生回路の間にカレントミラー回路を挿入する必要がある。そのため、回路段数が多くなり、デバイス間誤差が増幅される可能性があり、最終的に得られる定電流がばらつきを大きく有する可能性がある。

【0122】図48は回路段数を減少させた定電流発生回路を示す回路図である。前段の基本電流発生回路は前述の図31と同様にして構成される。そして、nチャネルトランジスタ512のドレインにはpチャネルトランジスタ551と552とからなるカレントミラー回路が接続される。pチャネルトランジスタ551はダイオード接続され、pチャネルトランジスタ552のソースと電源電位との間には抵抗R31が接続される。図48において、定電流源505からnチャネルトランジスタ511に任意の電流が流れ込むことにより、pチャネルトランジスタ551のゲートと接地間には流れる電流量に

従って電位差が生じる。pチャネルトランジスタ552のゲートと接地間にも同等の電位が発生する。ここで、pチャネルトランジスタ552側はpチャネルトランジスタ551に対してしきい値が小さいか、あるいはチャネル幅が大きさなどの差異が設けられている。したがって、pチャネルトランジスタ552のゲートソース間電位はnチャネルトランジスタ511側に対して小さくなる。これが、pチャネルトランジスタ551側と552側の電位差として出現する。これを抵抗R26で割ると電流が得られる。

【0123】ここで、抵抗R26は図31で説明したように純粋な抵抗成分でもよくあるいはトランジスタのチャネル成分などを用いた寄生的な抵抗であってもよい。また、pチャネルトランジスタ551側と552側のゲートソース間電位差の温度特性と抵抗R26の温度特性を適当に組合せれば、発生される電流が適当な温度特性を持合わせることができる。

【0124】図48に示した構成では、基準電流発生回路の個々の間にカレントミラー回路の挿入が不要となり、最終的な定電流を得るまでの回路段数を少なくできる。したがって、素子間の誤差の増幅による定電流のばらつきを抑えることができる。また、この定電流回路は、任意の数だけ接続することができ、数を増加すればするほど、定電流の電圧依存性を抑えることができる。

【0125】図49は図48に示した定電流回路における定電流の電圧依存性特性を示す図である。図49から明らかなように、nチャネルトランジスタ511に流れる電流 I_1 、nチャネルトランジスタ512に流れる I_2 、pチャネルトランジスタ552に流れる電流 I_3 はそれぞれ電圧依存性が緩和されていることが明らかである。

【0126】図50は電源安定化回路の他の例を示す回路図である。この図50に示した例は、図26に示した電源安定化回路を改良したものである。すなわち、pチャネルトランジスタ401、402とnチャネルトランジスタ403、404と抵抗R3からなる定電流回路の電源側のノードAに前述の図28に示したアクティブフィルタ501が接続され、さらにノードAと接地間にダイオード接続されたpチャネルトランジスタ405~407が直列接続される。

【0127】図50に示した電源安定化回路では、アクティブフィルタ501によって定電流回路の電源電圧が決められる一方、定電流回路側にはpチャネルトランジスタ405~407をダイオード接続しているため、アクティブフィルタ501が発生させようとする電圧と接地間の電位差がかかる状態でのダイオード接続に電流が流れながら安定している。ここで、3個のpチャネルトランジスタ405~407をダイオード接続したのは、定電流回路がトランジスタのしきい値電圧の約2倍で動作する電圧であるため、その電圧に若干の余裕を含める

ためである。

【0128】電源のノイズはアクティブフィルタ501で除去される場合には、定電流回路の動作は変化しない。しかし、アクティブフィルタ501で除去されないノイズが伝達された場合、ダイオード接続の両端にかかる電圧が大きくなり、電流を流す力が大きくなるため、正のノイズを接地に抜く役目を果たしている。逆に負のノイズが伝達された場合には、ダイオード接続の両端にかかる電圧が小さくなり、電流を流す力が小さくなるため、負のノイズに対してノードAを正方向に押し上げる役目を果たしている。これらの動作におけるノイズの伝搬とダイオード接続回路構成の反応する時間遅延は、ダイオード接続が飽和領域で動作していることを考慮すれば十分に高速となる。

【0129】図51は図50のアクティブフィルタをより具体的に示した回路図であって、動作は図50と同じであるため、省略する。

【0130】図52は電源安定化回路の他の例を示す回路図である。この図52に示した電源安定化回路は、図50のアクティブフィルタ501に代えて、pチャネルトランジスタ408、409とnチャネルトランジスタ410とからなる電流源を設け、この電流源によって内部回路である定電流回路に供給電流を決めるようにしたものである。電流源からの電流はpチャネルトランジスタ405~407に流れて電圧を発生し、その電圧がノードAに与えられる。この例においては、電源のノイズは電流源で除去されるが、電流源で除去されないノイズが伝達された場合、図50の説明と同様にして、ダイオード接続で組まれた電流パスがノイズを吸収する。

【0131】図53は電流源を他の回路に置換えた電源安定化回路を示す回路図である。この図53に示した電流源はpチャネルトランジスタ411、412とnチャネルトランジスタ413、414と抵抗R32、R33とから構成される。電源電位と接地間にはpチャネルトランジスタ411とnチャネルトランジスタ413の直列回路が接続され、その接続点はノードAに接続される。さらに、電源電位と接地間には抵抗R32とpチャネルトランジスタ412とnチャネルトランジスタ414と抵抗R33とが直列接続される。そして、pチャネルトランジスタ412とnチャネルトランジスタ414の接続点はノードAに接続される。抵抗R32とpチャネルトランジスタ412のソースとの接続点にはpチャネルトランジスタ411のゲートとnチャネルトランジスタ414のゲートが接続される。nチャネルトランジスタ414のソースと抵抗R33との接続点には、nチャネルトランジスタ413のゲートとpチャネルトランジスタ412のゲートが接続される。

【0132】この図53に示した電流源は、nチャネルトランジスタ413のゲートソース間電圧と抵抗R33の値で電流が決まる。つまり、回路中に電流が流れる

と、 n チャネルトランジスタ413のゲートソース間に電圧が発生し、この電圧は抵抗R33の両端の電圧として発生される。したがって、回路中に流れる電流は n チャネルトランジスタ413のゲートソース間電圧を抵抗R33の値で割った値となる。 n チャネルトランジスタ414は抵抗R33とノードAの間の電界を緩和する働きを持つ。この回路では、電源側にも同様の回路が配置されており、したがって全回路では電源から流れ込んでくる定電流とノードAから流れ出す電流が存在し、余分な電流が p チャネルトランジスタ405~407のダイオード接続で決まる電圧決定回路に流れ込むことで内部回路の電圧が決まる。電流源が供給しようとする電流でダイオード接続に電流が流れながら電圧を発生するので安定している。電源がノイズに混入して電流源で除去されない場合の動作は前述の図51および図52と同じである。

【0133】図54は図51に示した電源安定化回路の変形例を示す図である。図51に示した p チャネルトランジスタ407に代えて、 n チャネルトランジスタ416が設けられ、そのゲートにはアクティブフィルタ501の出力が与えられる。さらに、ノードAと接地間には n チャネルトランジスタ415が接続され、そのゲートは n チャネルトランジスタ416のドレインに接続される。 n チャネルトランジスタ416は抵抗として用いられ、ノードAの電位がノイズによって低下すると、 n チャネルトランジスタ416の抵抗値が高くなり、 n チャネルトランジスタ415のゲートソース間電圧と n チャネルトランジスタ416の抵抗の値で決まる電流が小さくなり、低下したノードAの電位を押し上げる。この図54に示した電源安定化回路では、アクティブフィルタ501がなくても、ノードAの電位は n チャネルトランジスタ415のゲートソース間電圧と n チャネルトランジスタ416の抵抗の値で決まる回路と、ダイオード接続された p チャネルトランジスタ405、406により決めることができる。

【0134】図55は図54に示した電源安定化回路の変形例を示す図である。図55において、ノードAと接地間に p チャネルトランジスタ417と n チャネルトランジスタ416の直列回路および p チャネルトランジスタ418と n チャネルトランジスタ415の直列回路を接続したものである。 n チャネルトランジスタ416と p チャネルトランジスタ418は抵抗として作用し、 n チャネルトランジスタ415のゲートソース間電位と n チャネルトランジスタ416の抵抗値および p チャネルトランジスタ417のゲートソース間電位と p チャネルトランジスタ418の抵抗値とによって電流が決定される。

【0135】

【発明の効果】以上のように、この発明における温度依存性回路および電流発生回路は、定電流を分流して微小

電流を取出すとともに、定電流から温度依存性のある電流を生成し、両者を加算して出力するようにしたので、温度依存性のある電流を生成することができる。

【0136】また、この発明におけるインバータは、2つのゲート入力を持つインバータ手段の第1の電源側と第2の電源側にトランジスタを接続し、それぞれのトランジスタのゲートに定電流を分流した微小電流に温度依存性のある電流を加算した電流信号を与えるようにしたので、出力がフローティング状態になるのを防止できる。

【0137】さらに、この発明に係る発振回路は、2つのゲート入力を持つインバータ手段の一方のゲートに第1のクロック信号を与え、他方のゲート入力に第2のクロック信号を与え、各インバータ手段の第1の電源側と第2の電源側にトランジスタを接続し、これらのトランジスタに定電流を分流した微小電流と温度依存性のある電流とを加算した電流信号を与えることにより、電流で決まる発振周波数を高温で高くすることができるので、たとえばDRAMのセルフリフレッシュのためのタイマとして用いれば、メモリセルのリフレッシュ特性に適合したリフレッシュ間隔を実現する発振周波数を得ることができる。

【図面の簡単な説明】

【図1】 この発明の原理を説明するための図である。

【図2】 この発明の第1の実施形態のリングオシレータの電流制御を説明するための図である。

【図3】 この発明の第2の実施形態の電流発生回路の概略ブロック図である。

【図4】 この発明の第3の実施形態の電流発生回路のより具体的な電気回路図である。

【図5】 図4に示した電流比較部の他の例を示す図である。

【図6】 電流比較部のさらに他の例を示す回路図である。

【図7】 図6(d)に示した比較部の出力に n チャネルトランジスタ217を接続した例を示す回路図である。

【図8】 電流比較部の出力に増幅器を接続した例を示す回路図である。

【図9】 図8に示した電流比較部の入力Aに基準電位を与えるようにした具体例を示す回路図である。

【図10】 電流比較部のさらにその他の例を示す回路図である。

【図11】 電流比較部のさらにその他の例を示す回路図である。

【図12】 図11に示した例の変形例を示す回路図である。

【図13】 電流比較部のさらにその他の例を示す回路図である。

【図14】 図13に示した分圧回路の例を示す回路図

である。

【図 15】 電流比較部のさらにその他の例を示す回路図である。

【図 16】 図 15 に示した電流比較部の変形例を示す回路図である。

【図 17】 図 16 の分圧回路の具体例を示す回路図である。

【図 18】 従来のクロックインバータとこの発明の第 4 の実施形態のクロックインバータの具体例を示す回路図である。

【図 19】 従来のクロックインバータの動作を説明するためのタイミングチャートである。

【図 20】 この発明の第 4 の実施形態のインバータの変形例を示す回路図である。

【図 21】 この発明の第 5 の実施形態のインバータの回路図である。

【図 22】 図 21 に示したインバータを用いて構成したリングオシレータの回路図である。

【図 23】 この発明の第 5 の実施形態のインバータの変形例を示す図である。

【図 24】 この発明を他の論理回路に用いた実施形態を示す図である。

【図 25】 図 10 に示した基準電位発生回路に含まれるカレントミラー回路を示す図である。

【図 26】 電源を安定化した電流発生回路を示す図である。

【図 27】 図 26 に示した電流発生回路の電圧の立ち上がり特性を示す図である。

【図 28】 図 26 に示したアクティブフィルタの一例を示す回路図である。

【図 29】 図 26 に示した電流発生回路の変形例を示す回路図である。

【図 30】 図 29 に示した電流発生回路の電圧の立ち上がり特性を示す図である。

【図 31】 この発明の基本電流発生回路を示す図である。

【図 32】 図 31 に示した基本電流発生回路の変形例を示す図である。

【図 33】 図 31 に示した基本電流発生回路の他の変形例を示す回路図である。

【図 34】 トランジスタのチャネル抵抗成分を利用した電流発生回路の他の例を示す回路図である。

【図 35】 ダイオード接続された n チャネルトランジスタと抵抗とによって構成した基本電流発生回路を示す回路図である。

【図 36】 図 35 に示した基本電流発生回路を p チャネルトランジスタで構成した例を示す回路図である。

【図 37】 図 31 に示した基本電流発生回路の n チャネルトランジスタに代えてバイポーラトランジスタで構成した例の回路図である。

【図 38】 図 32 に示した基本電流発生回路の n チャネルトランジスタに代えてバイポーラトランジスタで構成した例を示す回路図である。

【図 39】 図 35 に示した基本電流発生回路の n チャネルトランジスタをバイポーラトランジスタに置換えた例を示す回路図である。

【図 40】 図 36 に示した基本電流発生回路の p チャネルトランジスタをバイポーラトランジスタに置換えた例を示す回路図である。

10 【図 41】 図 40 に示したバイポーラトランジスタを構成するトリプルウェル構造を示す図である。

【図 42】 図 37 ~ 図 39 に示したバイポーラトランジスタを構成するトリプルウェル構造を示す図である。

【図 43】 定電流発生回路のブロック図である。

【図 44】 定電流発生回路の具体的な回路図である。

【図 45】 定電流発生回路の一例を示す回路図である。

【図 46】 定電流発生回路のさらに他の例を示す回路図である。

20 【図 47】 定電流発生回路のさらに他の例を示す回路図である。

【図 48】 回路段数を減少させた定電流発生回路を示す回路図である。

【図 49】 図 48 に示した定電流発生回路における定電流の電圧依存性特性を示す図である。

【図 50】 電源安定化回路の他の例を示す回路図である。

【図 51】 図 50 に示した電源安定化回路の電圧立ち上がり特性を示す図である。

30 【図 52】 電源安定化回路の他の例を示す回路図である。

【図 53】 定電流源を他の回路に置換えた電源安定化回路を示す回路図である。

【図 54】 図 51 に示した電源安定化回路の変形例を示す図である。

【図 55】 図 54 に示した電源安定化回路の変形例を示す図である。

【図 56】 従来のセルフリフレッシュモードを有する DRAM の概略ブロック図である。

40 【図 57】 図 56 に示した DRAM におけるセルフリフレッシュモードを説明するための図である。

【図 58】 従来のリングオシレータを用いたタイマ回路を示す回路図である。

【図 59】 従来の DRAM における保持電荷がリークされる理由を説明するための図である。

【図 60】 従来のタイマ回路の特性を示す図である。

【符号の説明】

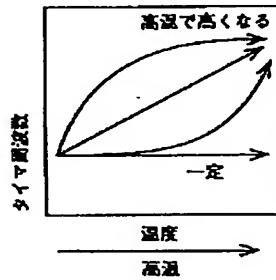
20 定電流発生回路、21 温度依存性回路、23 分圧回路、24 加算回路、30 リングオシレータ、

50 40、41 基準電位発生回路、42 プログラミング

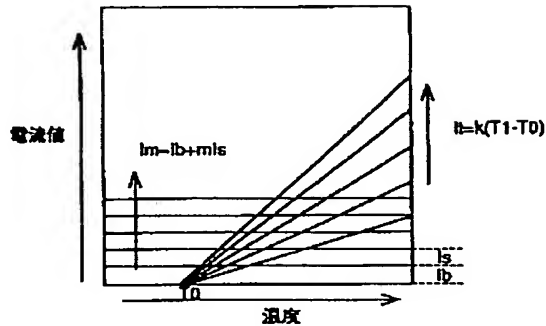
35

回路、43 内部電位発生回路、44 高め電位発生回路、45、47分圧回路、46 低め電位発生回路、51、52、55、59、71、201、202、211、212、224、225、226、227、231、241、242、251~253、255、401、402、405~408、411~414、458~460 pチャネルトランジスタ、53、54、5

【図1】



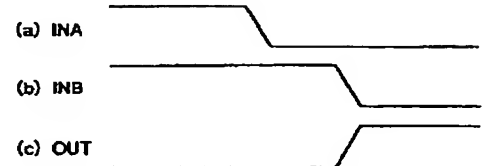
【図2】



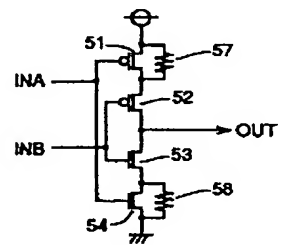
36

6、60、203、204、213、214、217~220、223~226、228、229、233~235、245、246、254、256、403、404、422、424、425、461~463 nチャネルトランジスタ、229増幅器、R、R1~R16 抵抗。

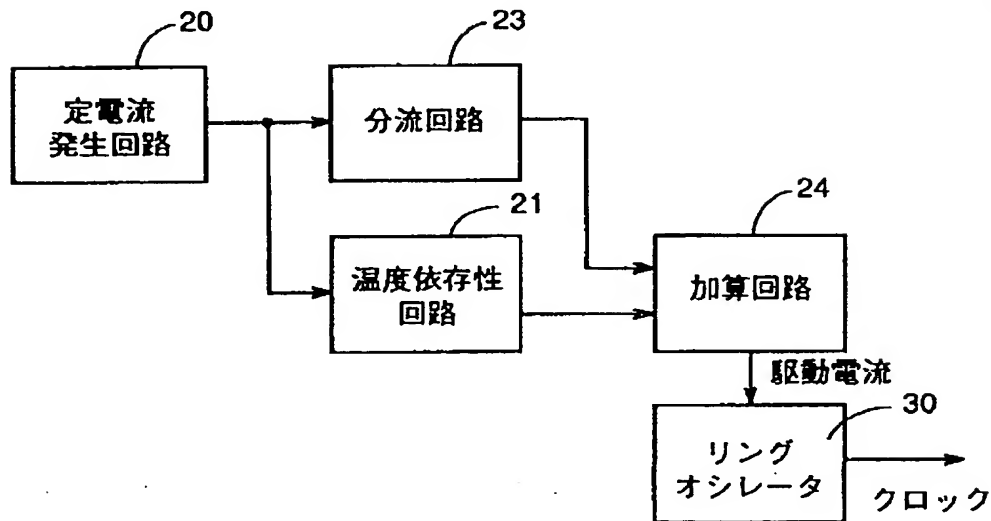
【図19】



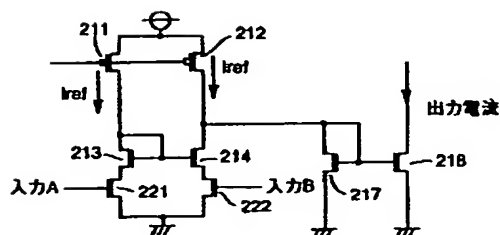
【図20】



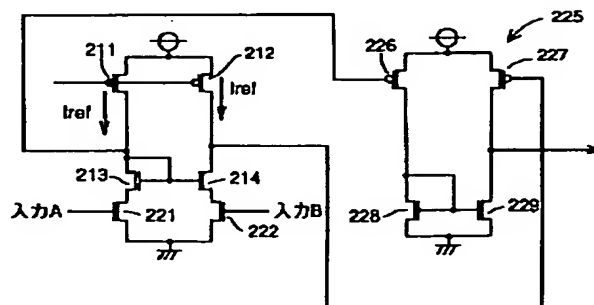
【図3】



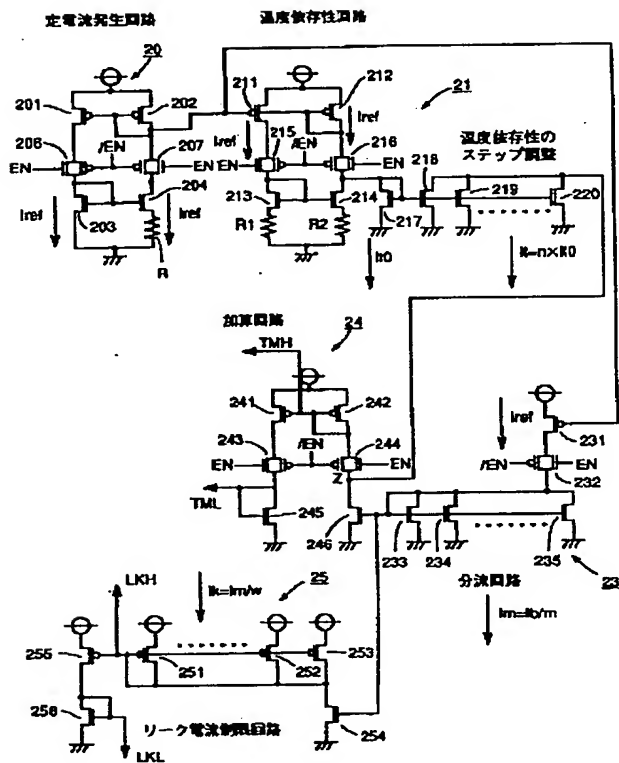
【図7】



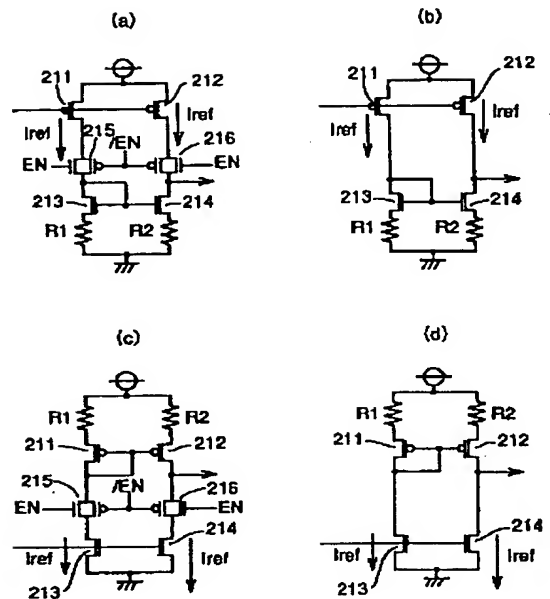
【図8】



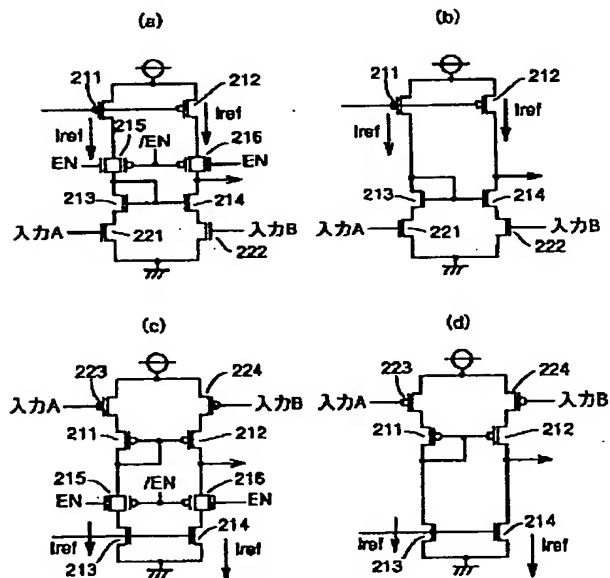
【図 4】



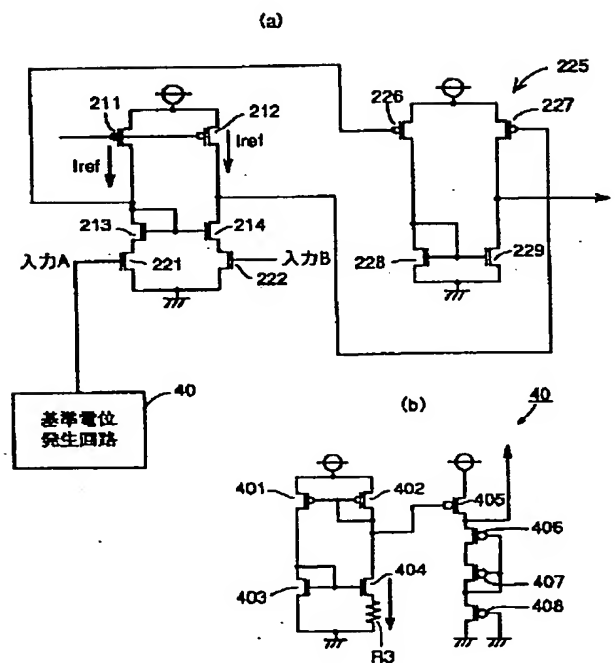
【図 5】



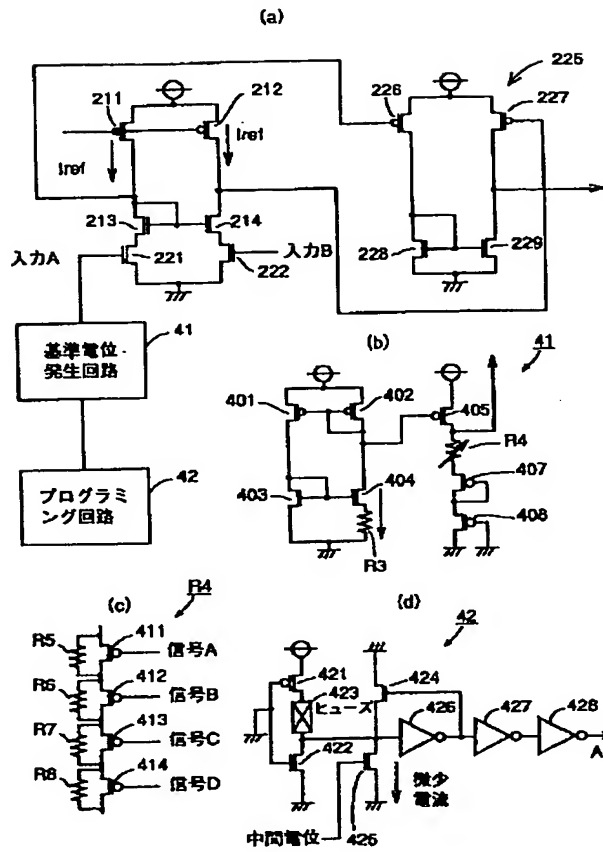
【図 6】



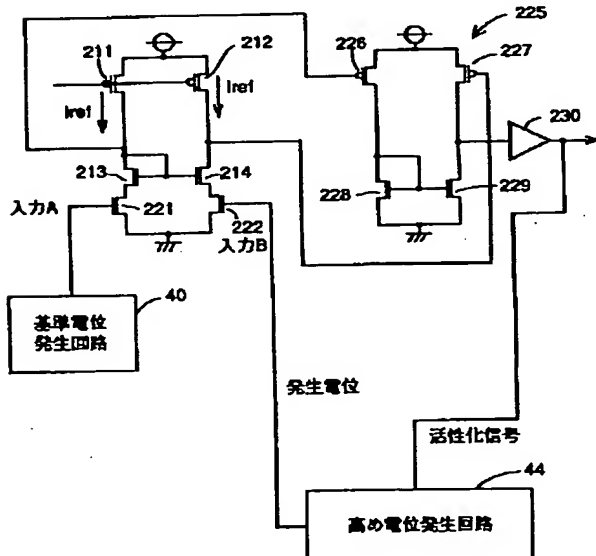
【図 9】



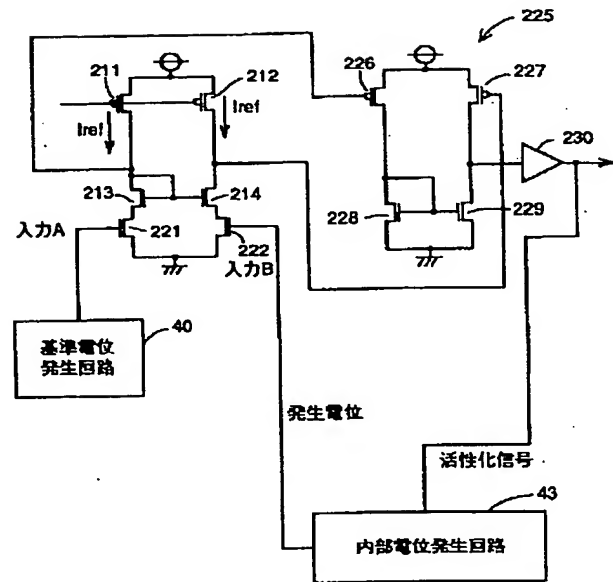
【図10】



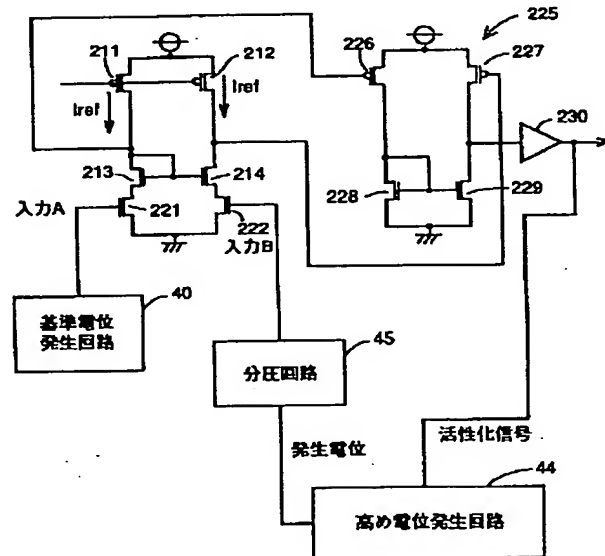
【図12】



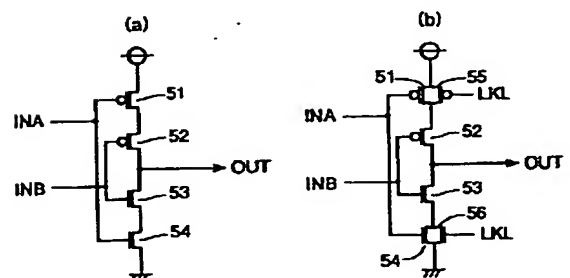
【図11】



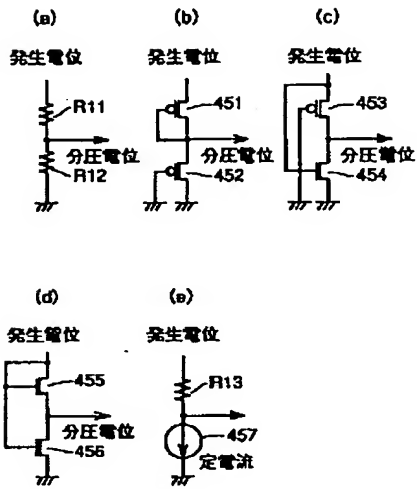
【図13】



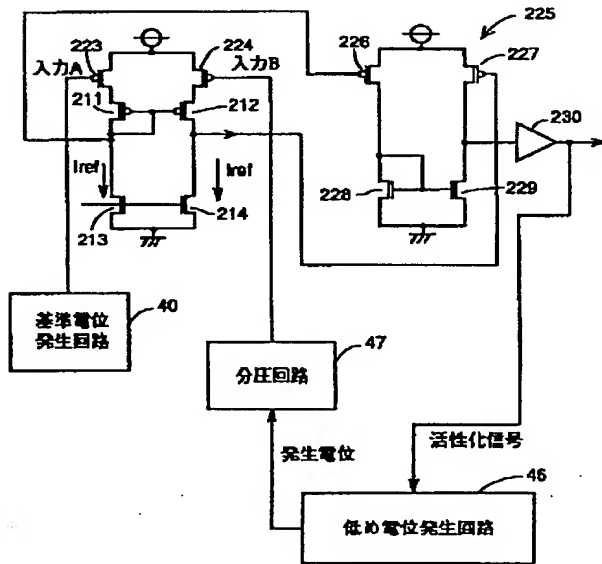
【図18】



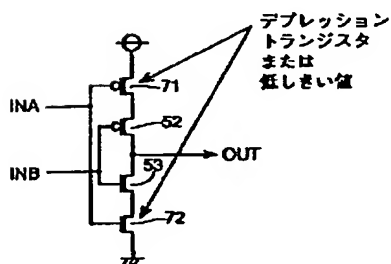
【図14】



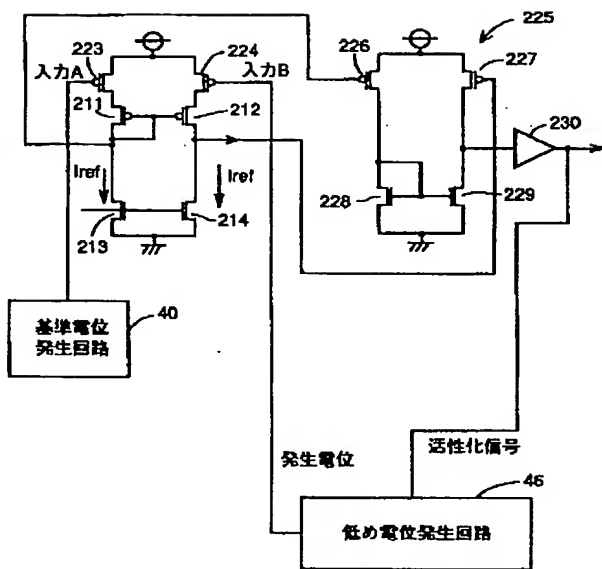
【図16】



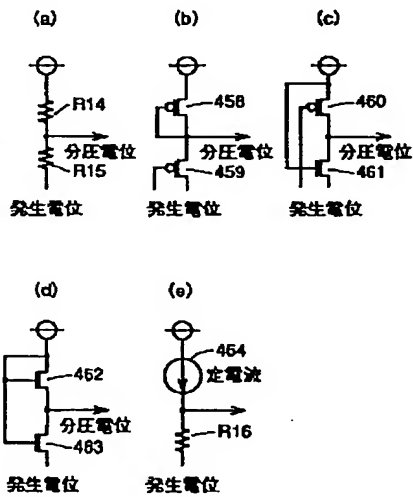
【図23】



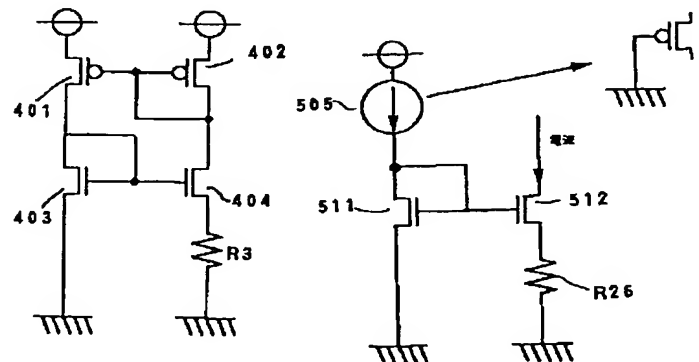
【図15】



【図17】

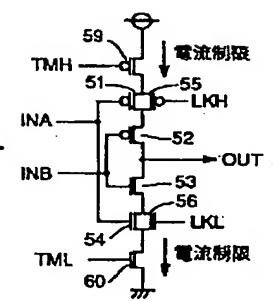


【図25】

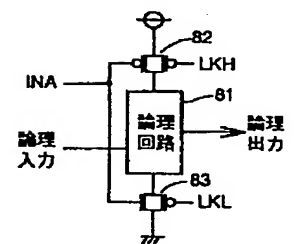


【図31】

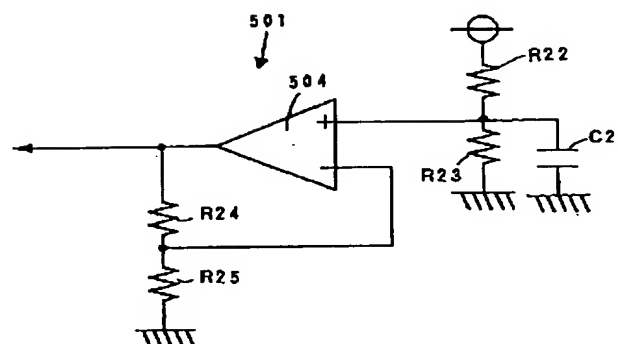
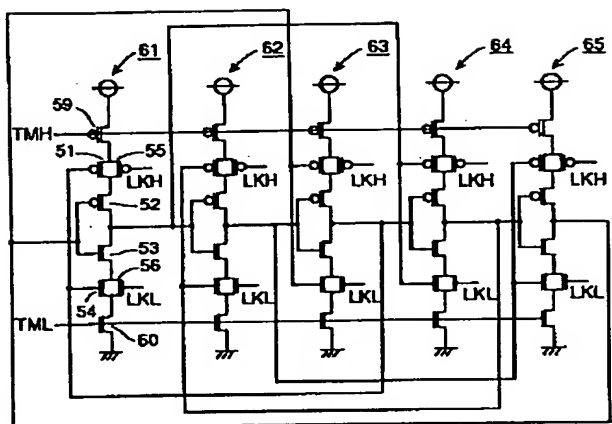
【図21】



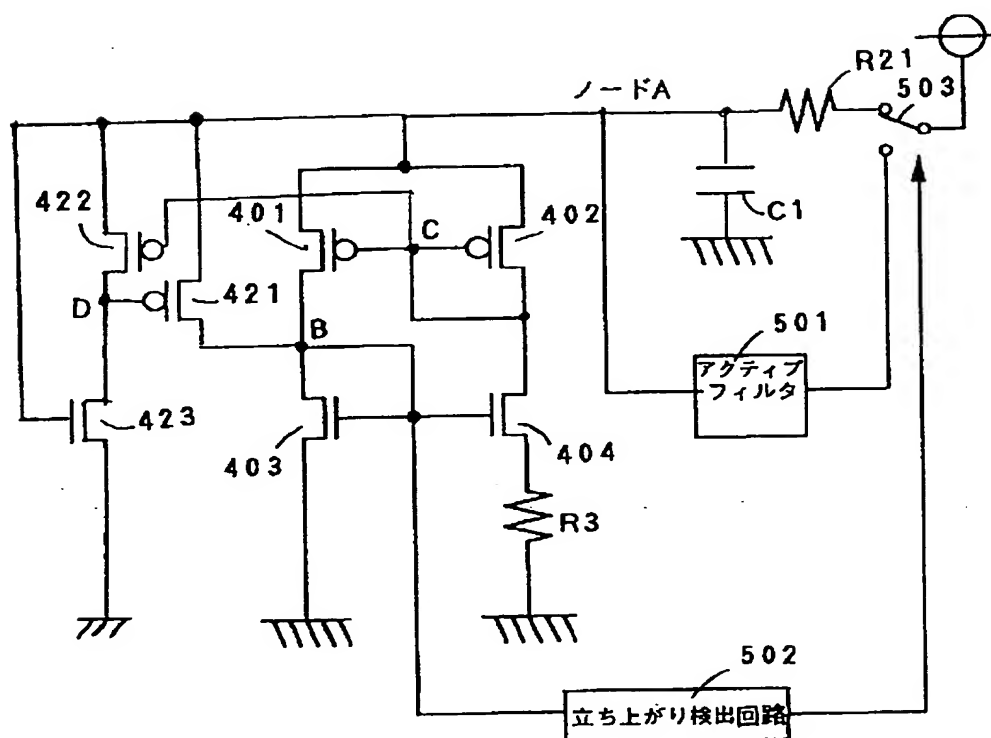
【図24】



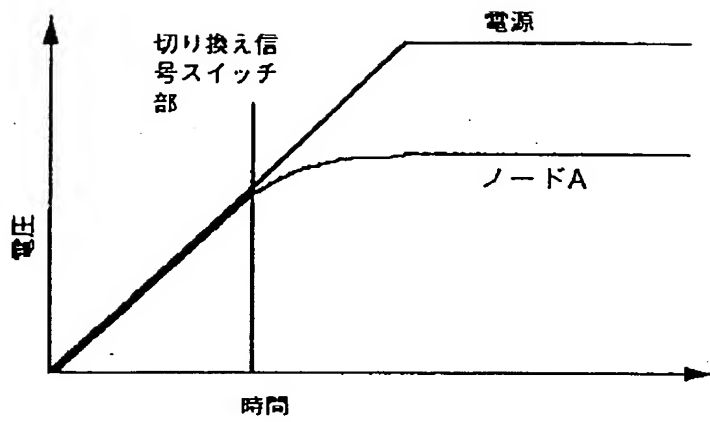
【图 28】



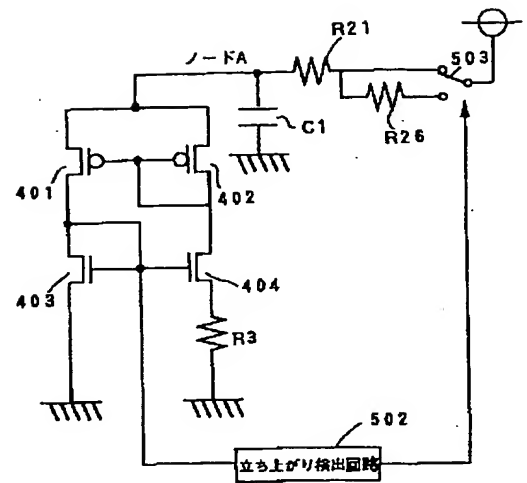
【图 26】



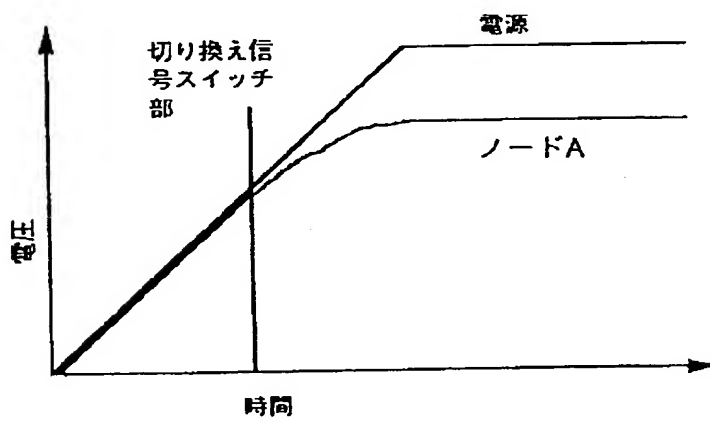
【図27】



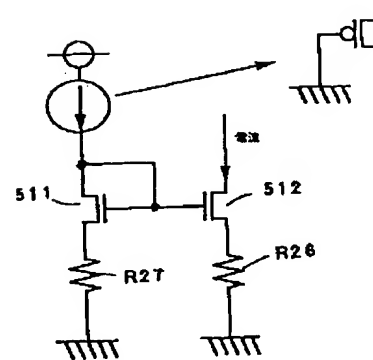
【図29】



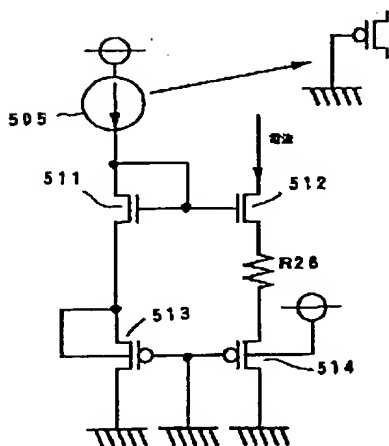
【図30】



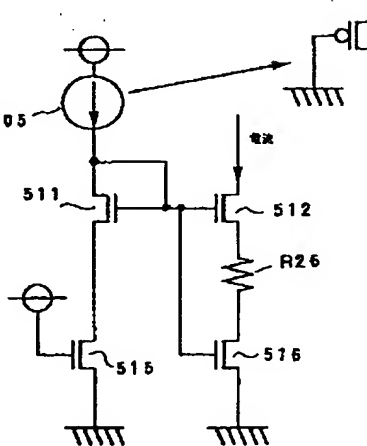
【図32】



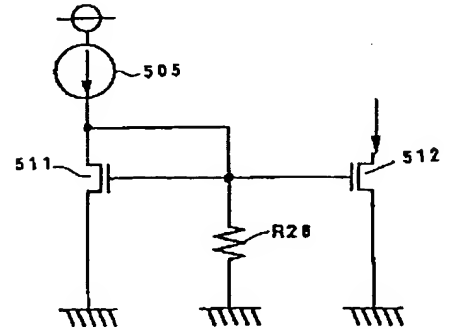
【図33】



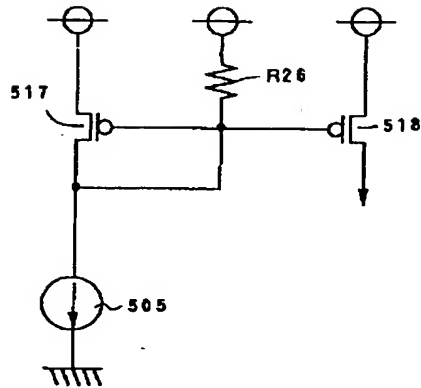
【図34】



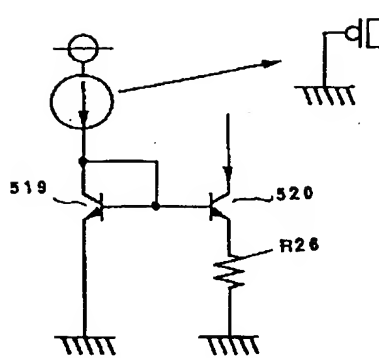
【図35】



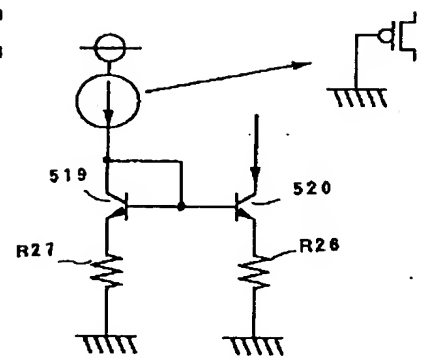
【図36】



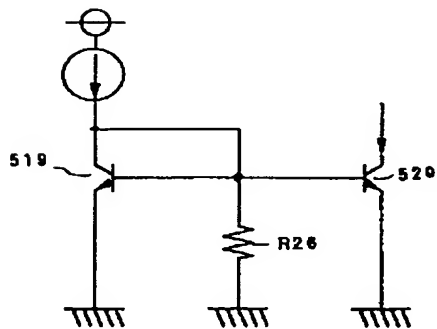
【図37】



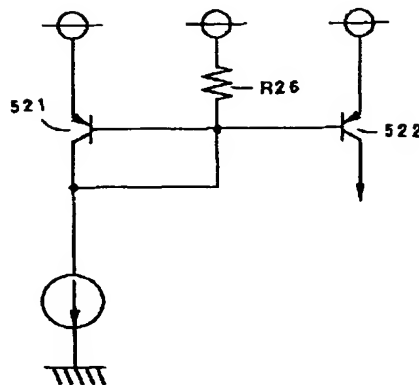
【図38】



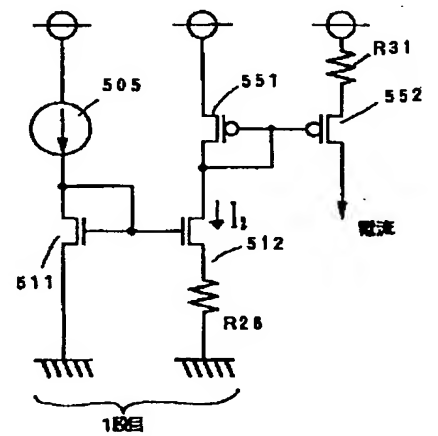
【図39】



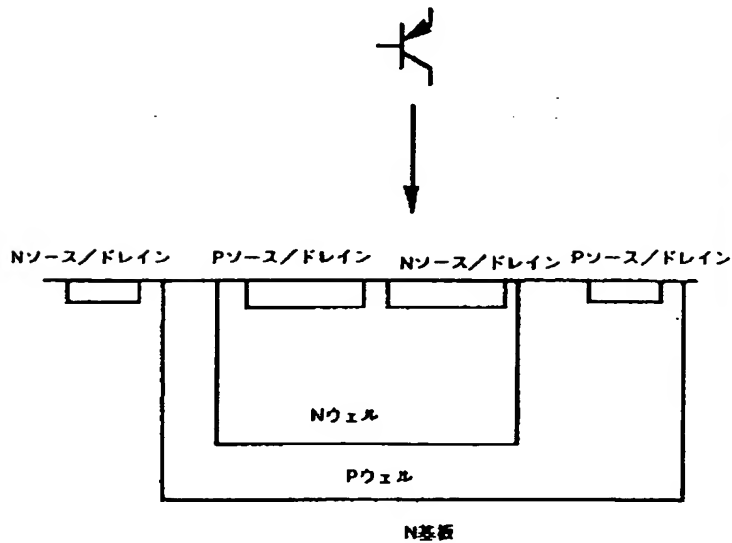
【図40】



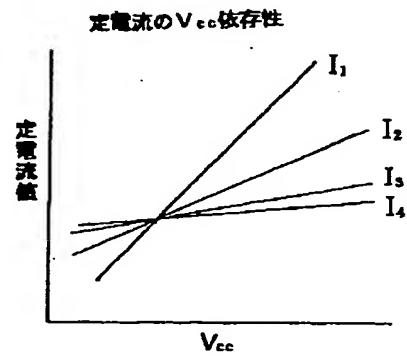
【図48】



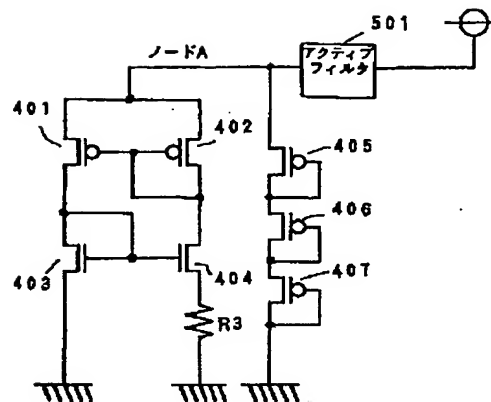
【図41】



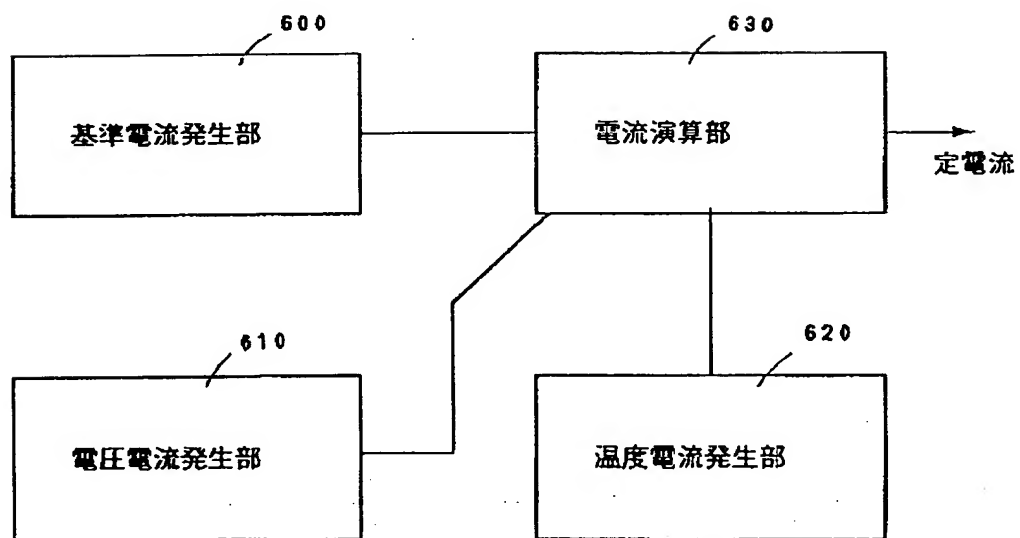
【図49】



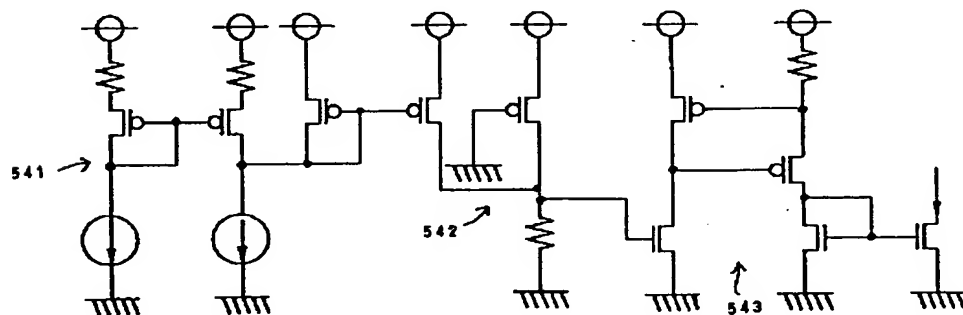
【圖 50】



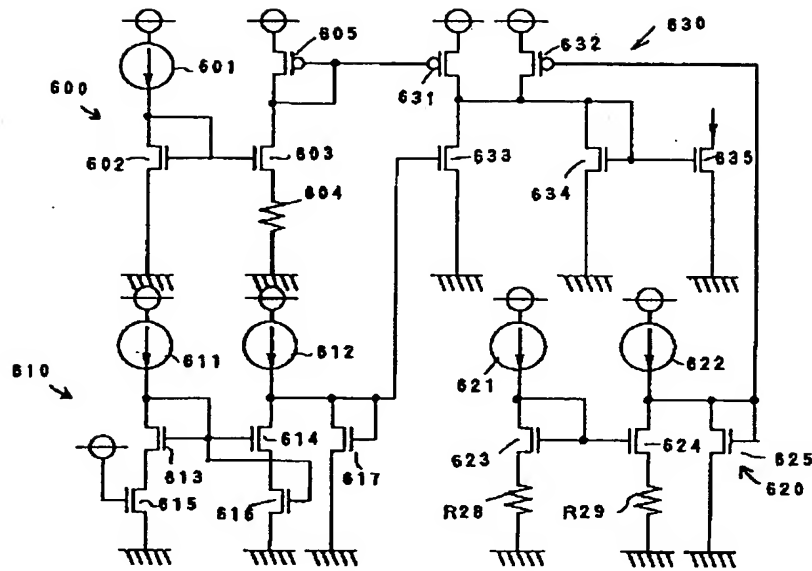
【图 4 3】



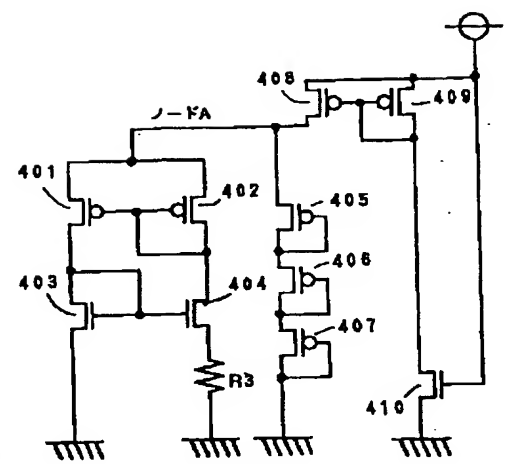
【圖 46】



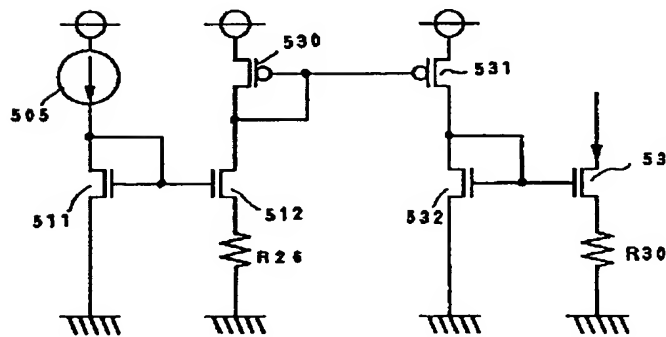
【図44】



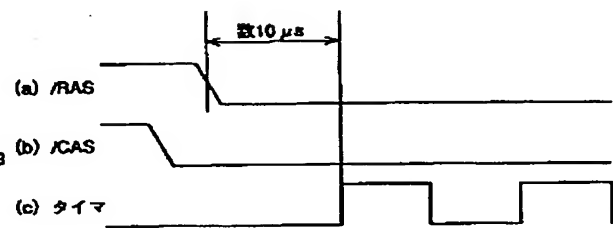
【図52】



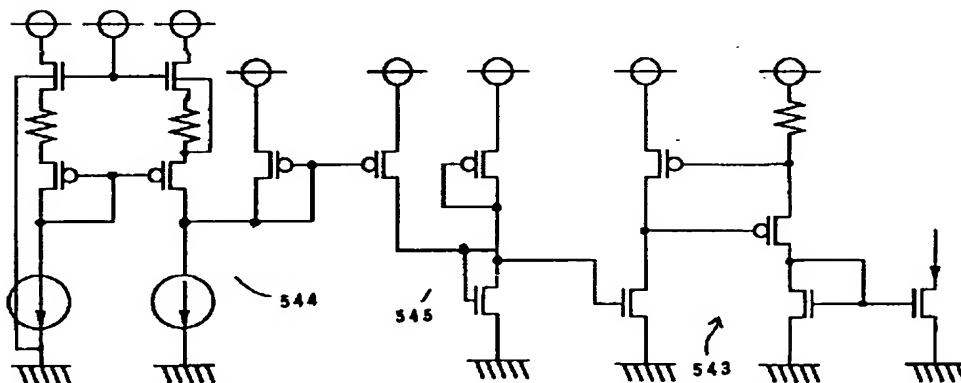
【図45】



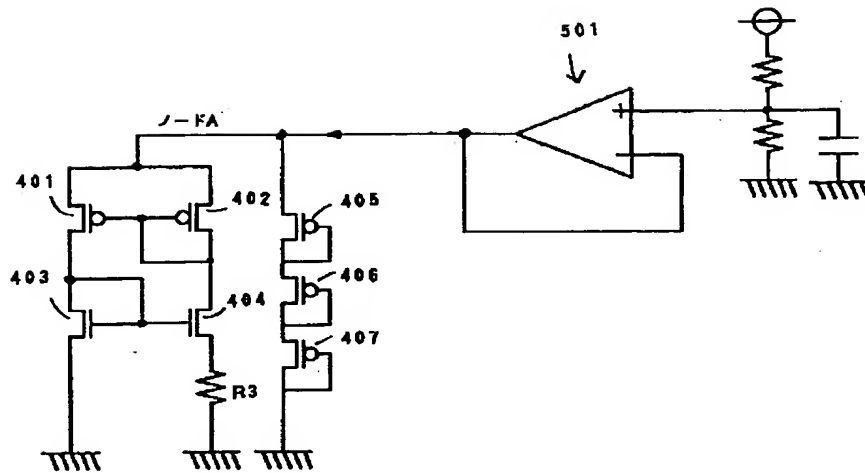
【図57】



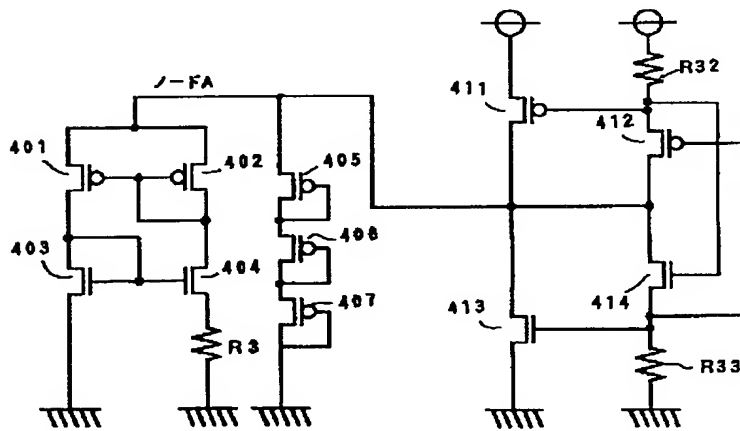
【図47】



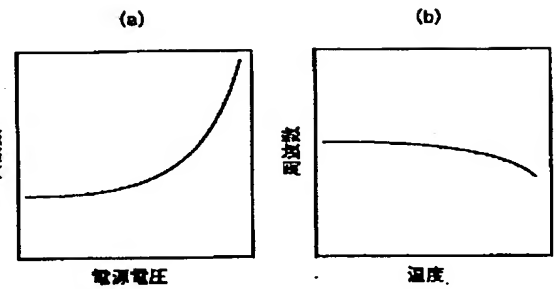
【图 5 1】



【图53】



【圖 60】



The diagram shows a differential amplifier circuit labeled 501. It features a differential pair of transistors 401 and 403. Transistor 401 is connected to a current source 402, which is in series with a resistor R3. Transistor 403 is connected to a resistor R3. The output of the differential pair is connected to a feedback network consisting of transistors 415, 416, and 417. The output is also connected to a load resistor and a capacitor.

【図59】

